Bank number	I/O Module (Note 1)	VREF	Pin Function	Ootional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DOS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DOS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DOS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
QL2			GXB_TX11n					K32	C23												
QL2			GXB_TX11p					K31	D23												
QL2			GXB_RX11n					L34	A24												
QL2			GXB_RX11p					L33	B24												
QL2			GXB_TX10n					M32	A26												
QL2			GXB_TX10p					M31	B26												
QL2			GXB_RX10n					N34	C28												
QL2			GXB_RX10p					N33	C27												
QL2			REFCLK6n					R30	D26												
QL2			REFCLK6p					R29	D25												
QL2			REFCLK2n					U30	E28												
QL2			REFCLK2p					U29	E27												
QL2			GXB_TX9n					P32	F26												
QL2			GXB_TX9p					P31	F25												
QL2			GXB_RX9n					R34	G28												
QL2			GXB_RX9p					R33	G27												
QL2			GXB_TX8n					T32	H26												
QL2			GXB_TX8p					T31	H25												
QL2			GXB_RX8n					U34	J28												
QL2			GXB_RX8p					U33	J27												
QL1			GXB_TX7n					V32	K26	B22											
QL1			GXB_TX7p					V31	K25	B21											
QL1			GXB_RX7n					W34	L28	C24											
QL1			GXB_RX7p					W33	L27	C23											
QL1			GXB_TX6n					Y32	M26	D22											
QL1			GXB_TX6p					Y31	M25	D21											
QL1			GXB_RX6n					AA34	N28	E24											
QL1			GXB_RX6p					AA33	N27	E23											
QL1			REFCLK5n					W30	P26	F22											
QL1			REFCLK5p					W29	P25	F21											
QL1			REFCLK1n					AA30	R28	G24											
QL1			REFCLK1p					AA29	R27	G23											
QL1			GXB_TX5n					AB32	T26	H22											
QL1			GXB_TX5p					AB31	T25	H21											
QL1			GXB_RX5n					AC34	U28	J24											
QL1			GXB_RX5p					AC33	U27	J23											
QL1			GXB_TX4n					AD32	V26	K22											
QL1			GXB_TX4p					AD31	V25	K21											
QL1			GXB_RX4n					AE34	W28	L24											
QL1			GXB_RX4p					AE33	W27	L23											
QL0			GXB_TX3n					AF32	Y26	M22											
QL0			GXB_TX3p					AF31	Y25	M21											
QL0			GXB_RX3n					AG34	AA28	N24											
QL0			GXB_RX3p					AG33	AA27	N23											
QL0			GXB_TX2n					AH32	AB26	P22											
QL0			GXB_TX2p					AH31	AB25	P21											
QL0			GXB_RX2n					AJ34	AC28	R24											
QL0			GXB_RX2p					AJ33	AC27	R23											
QL0			REFCLK4n					AC30	AD26	T22											
QL0			REFCLK4p					AC29	AD25	T21											
QL0			REFCLK0n					AE30	AE28	U24											
QL0			REFCLK0p					AE29	AE27	U23											
QL0			GXB_TX1n					AK32	AH27	V22											
QL0			GXB_TX1p					AK31	AG27	V21											
QL0			GXB_RX1n					AL34	AH25	W24											
QL0			GXB_RX1p					AL33	AG25	W23											
QL0			GXB_TX0n					AM32	AF24	Y22											
QL0			GXB_TX0p					AM31	AE24	Y21											
QL0			GXB_RX0n					AN34	AH23	AA24											
QL0			GXB_RX0p					AN33	AG23	AA23											
3C			nCONFIG		nCONFIG			AC26	AA24	V20											
3C			CONF_DONE		CONF_DONE			AE25	AA23	W19											
3C			MSEL3		MSEL3			AB26	AB24	T20											
3C			MSEL2		MSEL2			AD24	Y24	W20											
3C			MSEL1		MSEL1			AC25	Y23	T19											
3C			MSEL0		MSEL0			AC27	W24	Y19											
3C			nSTATUS		nSTATUS			AD28	W23	U18											
3C			nIO_PULLUP		nIO_PULLUP			AC28	AB22	U19											
3C			nCE		nCE			AB25	AA22	V18											
3A		VREFB3AN0	IO	PLL4_CLKOUT1n				AH25	U24	Y16											
3A		VREFB3AN0	IO	RDN0				AL27	AB19	AB20											
3A		VREFB3AN0	IO	PLL4_CLKOUT1p				AH24	V24	W16											
3A		VREFB3AN0	IO	RUP0				AL26	AC19	AA20											
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B1n	DIFFIN_B1n*	AM29			DQ18B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B1n	DIFFOUT_B1n	AM28			DQ18B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B1p	DIFFIN_B1p*	AL29			DQ18B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B1p	DIFFOUT_B1p	AM27														
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B2n	DIFFIN_B2n*	AJ25			DQSn18B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B2n	DIFFOUT_B2n	AN28			DQ18B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B2p	DIFFIN_B2p*	AJ24			DQS18B	DQ9B/CQn9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B2p	DIFFOUT_B2p	AN27														
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B3n	DIFFIN_B3n*	AM26			DQSn17B	DQSn9B/DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B3n	DIFFOUT_B3n	AK22			DQ17B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B3p	DIFFIN_B3p*	AM25			DQS17B	DQS9B/CQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B3p	DIFFOUT_B3p	AJ22														
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B4n	DIFFIN_B4n*	AG21			DQ17B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B4n	DIFFOUT_B4n	AP29			DQ17B	DQ9B	DQ4B	DQ2B								
3A	BIO1	VREFB3AN0	IO			DIFFIO_TX_B4p	DIFFIN_B4p*	AF20														
3A	BIO1	VREFB3AN0	IO			DIFFIO_RX_B4p	DIFFOUT_B4p	AP28			DQ17B	DQ9B	DQ4B	DQ2B								
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B5n	DIFFIN_B5n*	AM24	AD21	AC21	DQ16B	DQ8B	DQ4B	DQ2B	DQ14B	DQ7B			DQ8B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_RX_B5n	DIFFOUT_B5n	AM23	AC17	AD21	DQ16B	DQ8B	DQ4B	DQ2B	DQ14B	DQ7B			DQ8B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B5p	DIFFIN_B5p*	AL24	AC21	AB21	DQ16B	DQ8B	DQ4B	DQ2B	DQ14B	DQ7B			DQ8B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO		INIT_DONE	DIFFIO_RX_B5p	DIFFOUT_B5p	AL23	AB17	AD20												
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B6n	DIFFIN_B6n*	AH21	Y22	V16	DQSn16B	DQ8B	DQ4B	DQ2B	DQSn14B	DQ7B			DQSn8B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_RX_B6n	DIFFOUT_B6n	AP27	AC16	AB19	DQ16B	DQ8B	DQ4B	DQ2B	DQ14B	DQ7B			DQ8B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B6p	DIFFIN_B6p*	AG22	W21	U16	DQS16B	DQ8B/CQn8B	DQ4B/CQn4B	DQ2B	DQS14B	DQ7B/CQn7B			DQS8B	DQ4B/CQn4B	DQ2B
3A	BIO2	VREFB3AN0	IO		nCEO	DIFFIO_RX_B6p	DIFFOUT_B6p	AP26	AB16	AA19												
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B7n	DIFFIN_B7n*	AP24	AD23	AC18	DQSn15B	DQSn8B/DQ8B	DQSn4B/DQ4B	DQ2B	DQSn13B	DQSn7B/DQ7B			DQSn7B	DQSn4B/DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_RX_B7n	DIFFOUT_B7n	AP25	AD18	AB18	DQ15B	DQ8B	DQ4B	DQ2B	DQ13B	DQ7B			DQ7B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B7p	DIFFIN_B7p*	AN24	AD22	AB17	DQS15B	DQS8B/CQ8B	DQS4B/CQ4B	DQ2B	DQS13B	DQS7B/CQ7B			DQS7B	DQS4B/CQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_RX_B7p	DIFFOUT_B7p	AN25	AC18	AA18												
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B8n	DIFFIN_B8n*	AE19	Y20	W15	DQ15B	DQ8B	DQ4B	DQ2B	DQ13B	DQ7B			DQ7B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_RX_B8n	DIFFOUT_B8n	AJ23	AC23	AA15	DQ15B	DQ8B	DQ4B	DQ2B	DQ13B	DQ7B			DQ7B	DQ4B	DQ2B
3A	BIO2	VREFB3AN0	IO			DIFFIO_TX_B8p	DIFFIN_B8p*	AD19	Y19	V15												
3A	BIO2	VREFB3AN0	IO			DIFFIO_RX_B8p	DIFFOUT_B8p	AH23	AC22	Y15	DQ15B	DQ8B	DQ4B	DQ2B	DQ13B	DQ7B			DQ7B	DQ4B	DQ2B
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B9n	DIFFIN_B9n*	AL25	AD24		DQ14B	DQ7B	DQ3B	DQ2B	DQ12B	DQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B9n	DIFFOUT_B9n	AM22	AE22		DQ14B	DQ7B	DQ3B	DQ2B	DQ12B	DQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B9p	DIFFIN_B9p*	AK25	AC24		DQ14B	DQ7B	DQ3B	DQ2B	DQ12B	DQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B9p	DIFFOUT_B9p	AL22	AE21													
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B10n	DIFFIN_B10n*	AJ21	V23		DQSn14B	DQ7B	DQ3B	DQ2B	DQSn12B	DQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B10n	DIFFOUT_B10n	AL21	AF20		DQ14B	DQ7B	DQ3B	DQ2B	DQ12B	DQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B10p	DIFFIN_B10p*	AH20	V22		DQS14B	DQ7B/CQn7B	DQ3B	DQ2B/CQn2B	DQS12B	DQ6B/CQn6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B10p	DIFFOUT_B10p	AK21	AE20													
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B11n	DIFFIN_B11n*	AP22	AF18		DQSn13B	DQSn7B/DQ7B	DQ3B	DQSn2B/DQ2B	DQSn11B	DQSn6B/DQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B11n	DIFFOUT_B11n	AP23	AF19		DQ13B	DQ7B	DQ3B	DQ2B	DQ11B	DQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B11p	DIFFIN_B11p*	AP21	AE18		DQS13B	DQS7B/CQ7B	DQ3B	DQS2B/CQ2B	DQS11B	DQS6B/CQ6B	DQ3B				
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B11p	DIFFOUT_B11p	AN22	AE19													
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B12n	DIFFIN_B12n*	AG19	AA16		DQ13B	DQ7B	DQ3B	DQ2B	DQ11B	DQ6B	DQ3B				

Bank number	I/O Module (Note 1)	VREF	Pin Function	Optional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DQS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780/(Note 3)	DQS for X32/X36 for F780 (Note 3)	DQS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B12n	DIFFOUT_B12n	AL20	AF17		DQ13B	DQ7B	DQ3B	DQ2B	DQ11B	DQ6B	DQ3B					
3A	BIO3	VREFB3AN0	IO			DIFFIO_TX_B12p	DIFFIN_B12p*	AF19	Y16													
3A	BIO3	VREFB3AN0	IO			DIFFIO_RX_B12p	DIFFOUT_B12p	AL19	AE17		DQ13B	DQ7B	DQ3B	DQ2B	DQ11B	DQ6B	DQ3B					
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B13n	DIFFIN_B13n*	AN21	AD15	AB16	DQ12B	DQ6B	DQ3B	DQ2B	DQ10B	DQ5B	DQ3B		DQ6B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B13n	DIFFOUT_B13n	AP20	AF16	AD19	DQ12B	DQ6B	DQ3B	DQ2B	DQ10B	DQ5B	DQ3B		DQ6B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B13p	DIFFIN_B13p*	AM21	AC15	AA16	DQ12B	DQ6B	DQ3B	DQ2B	DQ10B	DQ5B	DQ3B		DQ6B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B13p	DIFFOUT_B13p	AP19	AE16	AC19												
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B14n	DIFFIN_B14n*	AF18	AA19	W14	DQSn12B	DQ6B	DQ3B	DQ2B	DQSn10B	DQ5B	DQ3B		DQSn6B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B14n	DIFFOUT_B14n	AN19	AH19	AD18	DQ12B	DQ6B	DQ3B	DQ2B	DQ10B	DQ5B	DQ3B		DQ6B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B14p	DIFFIN_B14p*	AE18	Y18	V14	DQS12B	DQ6B/CQn6B	DQ3B/CQn3B	DQ2B	DQS10B	DQ5B/CQn5B	DQ3B/CQn3B		DQS6B	DQ3B/CQn3B	DQ2B/CQn2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B14p	DIFFOUT_B14p	AM19	AG19	AD17												
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B15n	DIFFIN_B15n*	AM18	AH17	AB14	DQSn11B	DQSn6B/DQ6B	DQSn3B/DQ3B	DQ2B	DQSn9B	DQSn5B/DQ5B	DQSn3B/DQ3B		DQSn5B	DQSn3B/DQ3B	DQSn2B/DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B15n	DIFFOUT_B15n	AP18	AH18	AC15	DQ11B	DQ6B	DQ3B	DQ2B	DQ9B	DQ5B	DQ3B		DQ5B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B15p	DIFFIN_B15p*	AL18	AH16	AA14	DQS11B	DQS6B/CQ6B	DQS3B/CQ3B	DQ2B	DQS9B	DQS5B/CQ5B	DQS3B/CQ3B		DQS5B	DQS3B/CQ3B	DQS2B/CQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B15p	DIFFOUT_B15p	AN18	AG18	AB15												
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B16n	DIFFIN_B16n*	AH19	AB15	W13	DQ11B	DQ6B	DQ3B	DQ2B	DQ9B	DQ5B	DQ3B		DQ5B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B16n	DIFFOUT_B16n	AK18	AH15	AD16	DQ11B	DQ6B	DQ3B	DQ2B	DQ9B	DQ5B	DQ3B		DQ5B	DQ3B	DQ2B	
3A	BIO4	VREFB3AN0	IO			DIFFIO_TX_B16p	DIFFIN_B16p*	AG18	AA15	V13												
3A	BIO4	VREFB3AN0	IO			DIFFIO_RX_B16p	DIFFOUT_B16p	AJ18	AG15	AD15	DQ11B	DQ6B	DQ3B	DQ2B	DQ9B	DQ5B	DQ3B		DQ5B	DQ3B	DQ2B	
3A		VREFB3AN0	CLK4	DIFFCLK_0n				AK19	AF15	AA13												
4A		VREFB4AN0	CLK5	DIFFCLK_1n				AP17	AF14	AD14												
3A		VREFB3AN0	CLK6	DIFFCLK_0p				AJ19	AE15	Y13												
4A		VREFB4AN0	CLK7	DIFFCLK_1p				AP16	AE14	AD13												
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B17n	DIFFIN_B17n*	AH18	AH14	AC13	DQ10B	DQ5B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B17n	DIFFOUT_B17n	AP15	AH12	AC12	DQ10B	DQ5B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B17p	DIFFIN_B17p*	AH17	AH13	AB13	DQ10B	DQ5B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B17p	DIFFOUT_B17p	AN16	AG12	AB12												
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B18n	DIFFIN_B18n*	AF17	Y14	W12	DQSn10B	DQ5B	DQ2B	DQ1B	DQSn8B	DQ4B	DQ2B	DQ1B	DQSn4B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B18n	DIFFOUT_B18n	AP14	AH11	AD12	DQ10B	DQ5B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ1B	DQ4B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B18p	DIFFIN_B18p*	AE17	Y13	V12	DQS10B	DQ5B/CQn5B	DQ2B/CQn2B	DQ1B	DQS8B	DQ4B/CQn4B	DQ2B/CQn2B	DQ1B	DQS4B	DQ2B/CQn2B	DQ1B/CQn1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B18p	DIFFOUT_B18p	AP13	AH10	AD11												
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B19n	DIFFIN_B19n*	AM17	AH8	AB11	DQSn9B	DQSn5B/DQ5B	DQSn2B/DQ2B	DQ1B	DQSn7B	DQSn4B/DQ4B	DQSn2B/DQ2B	DQ1B	DQSn3B	DQSn2B/DQ2B	DQSn1B/DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B19n	DIFFOUT_B19n	AN15	AH9	AA12	DQ9B	DQ5B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B19p	DIFFIN_B19p*	AM16	AH7	AA11	DQS9B	DQS5B/CQ5B	DQS2B/CQ2B	DQ1B	DQS7B	DQS4B/CQ4B	DQS2B/CQ2B	DQ1B	DQS3B	DQS2B/CQ2B	DQS1B/CQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B19p	DIFFOUT_B19p	AM15	AG9	Y12												
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B20n	DIFFIN_B20n*	AC18	AC14	W11	DQ9B	DQ5B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B20n	DIFFOUT_B20n	AN13	AH6	AD10	DQ9B	DQ5B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	
4A	BIO5	VREFB4AN0	IO			DIFFIO_TX_B20p	DIFFIN_B20p*	AC17	AB14	V11												
4A	BIO5	VREFB4AN0	IO			DIFFIO_RX_B20p	DIFFOUT_B20p	AM13	AG6	AD9	DQ9B	DQ5B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B	
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B21n	DIFFIN_B21n*	AL16	AH5		DQ8B	DQ4B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B21n	DIFFOUT_B21n	AP12	AF13		DQ8B	DQ4B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B21p	DIFFIN_B21p*	AK16	AH4		DQ8B	DQ4B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B21p	DIFFOUT_B21p	AP11	AE13													
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B22n	DIFFIN_B22n*	AH16	AC13		DQSn8B	DQ4B	DQ2B	DQ1B	DQSn6B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B22n	DIFFOUT_B22n	AN12	AF12		DQ8B	DQ4B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B22p	DIFFIN_B22p*	AG16	AB13		DQS8B	DQ4B/CQn4B	DQ2B	DQ1B/CQn1B	DQS6B	DQ3B/CQn3B	DQ2B	DQ1B/CQn1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B22p	DIFFOUT_B22p	AM12	AE12													
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B23n	DIFFIN_B23n*	AL15	AF10		DQSn7B	DQSn4B/DQ4B	DQ2B	DQSn1B/DQ1B	DQSn5B	DQSn3B/DQ3B	DQ2B	DQSn1B/DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B23n	DIFFOUT_B23n	AP10	AF11		DQ7B	DQ4B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B23p	DIFFIN_B23p*	AK15	AE10		DQS7B	DQS4B/CQ4B	DQ2B	DQS1B/CQ1B	DQS5B	DQS3B/CQ3B	DQ2B	DQS1B/CQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B23p	DIFFOUT_B23p	AN10	AE11													
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B24n	DIFFIN_B24n*	AH15	W13		DQ7B	DQ4B	DQ2B	DQ1B	DQ5B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B24n	DIFFOUT_B24n	AP9	AF9		DQ7B	DQ4B	DQ2B	DQ1B	DQ5B	DQ3B	DQ2B	DQ1B				
4A	BIO6	VREFB4AN0	IO			DIFFIO_TX_B24p	DIFFIN_B24p*	AG15	W12													
4A	BIO6	VREFB4AN0	IO			DIFFIO_RX_B24p	DIFFOUT_B24p	AP8	AE9		DQ7B	DQ4B	DQ2B	DQ1B	DQ5B	DQ3B	DQ2B	DQ1B				
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B25n	DIFFIN_B25n*	AP7	AF8	AB10	DQ6B	DQ3B	DQ1B	DQ1B	DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B25n	DIFFOUT_B25n	AL14	AF7	AC9	DQ6B	DQ3B	DQ1B	DQ1B	DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B25p	DIFFIN_B25p*	AN7	AE8	AA10	DQ6B	DQ3B	DQ1B	DQ1B	DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B25p	DIFFOUT_B25p	AL13	AE7	AB9												
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B26n	DIFFIN_B26n*	AF16	Y12	W10	DQSn6B	DQ3B	DQ1B	DQ1B	DQSn4B	DQ2B	DQ1B	DQ1B	DQSn2B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B26n	DIFFOUT_B26n	AP6	AF6	AD8	DQ6B	DQ3B	DQ1B	DQ1B	DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B26p	DIFFIN_B26p*	AE16	W11	W9	DQS6B	DQ3B/CQn3B	DQ1B/CQn1B	DQ1B	DQS4B	DQ2B/CQn2B	DQ1B/CQn1B	DQ1B	DQS2B	DQ1B/CQn1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B26p	DIFFOUT_B26p	AN6	AE6	AD7												
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B27n	DIFFIN_B27n*	AL12	AD12	AB7	DQSn5B	DQSn3B/DQ3B	DQSn1B/DQ1B	DQ1B	DQSn3B	DQSn2B/DQ2B	DQSn1B/DQ1B	DQ1B	DQSn1B	DQSn1B/DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B27n	DIFFOUT_B27n	AP5	AF5	AB8	DQ5B	DQ3B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B27p	DIFFIN_B27p*	AK13	AC12	AA7	DQS5B	DQS3B/CQ3B	DQS1B/CQ1B	DQ1B	DQS3B	DQS2B/CQ2B	DQS1B/CQ1B	DQ1B	DQS1B	DQS1B/CQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B27p	DIFFOUT_B27p	AP4	AE5	AA8												
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B28n	DIFFIN_B28n*	AC15	AC11	V9	DQ5B	DQ3B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B28n	DIFFOUT_B28n	AL11	AG4	AD6	DQ5B	DQ3B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	
4A	BIO7	VREFB4AN0	IO			DIFFIO_TX_B28p	DIFFIN_B28p*	AC14	AB11	U9												
4A	BIO7	VREFB4AN0	IO			DIFFIO_RX_B28p	DIFFOUT_B28p	AK12	AG3	AC6	DQ5B	DQ3B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B29n	DIFFIN_B29n*	AP3	AH3		DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B29n	DIFFOUT_B29n	AN9	AF4		DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B29p	DIFFIN_B29p*	AP2	AH2		DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B29p	DIFFOUT_B29p	AM9	AE4													
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B30n	DIFFIN_B30n*	AF15	Y11		DQSn4B	DQ2B	DQ1B	DQ1B	DQSn2B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B30n	DIFFOUT_B30n	AM10	AF3		DQ4B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B30p	DIFFIN_B30p*	AE15	W10		DQS4B	DQ2B/CQn2B	DQ1B	DQ1B	DQS2B	DQ1B/CQn1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B30p	DIFFOUT_B30p	AL10	AF2													
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B31n	DIFFIN_B31n*	AM8	AD6		DQSn3B	DQSn2B/DQ2B	DQ1B	DQ1B	DQSn1B	DQSn1B/DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B31n	DIFFOUT_B31n	AN4	AG1		DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B31p	DIFFIN_B31p*	AM7	AC6		DQS3B	DQS2B/CQ2B	DQ1B	DQ1B	DQS1B	DQS1B/CQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B31p	DIFFOUT_B31p	AN3	AF1													
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B32n	DIFFIN_B32n*	AJ16	AA10		DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B32n	DIFFOUT_B32n	AJ12	AD9		DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B				
4A	BIO8	VREFB4AN0	IO			DIFFIO_TX_B32p	DIFFIN_B32p*	AJ15	Y10													
4A	BIO8	VREFB4AN0	IO			DIFFIO_RX_B32p	DIFFOUT_B32p	AJ11	AC9		DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B				
4A		VREFB4AN0	IO	PLL3_CLKOUT1n				AJ13	AC10	AA9												
4A		VREFB4AN0	IO			DIFFIO_RX_B33n	DIFFOUT_B33n	AH13	AD7	AB6												
4A		VREFB4AN0	IO	PLL3_CLKOUT1p				AH14	AB10	Y9												
4A		VREFB4AN0	IO			DIFFIO_RX_B33p	DIFFOUT_B33p	AG13	AC7	AA6												
4A		VREFB4AN0	IO	PLL3_CLKOUT2n				AF14	AB9	W8												
4A		VREFB4AN0	IO	PLL3_CLKOUT3n				AH12	AC8	Y7												
4A		VREFB4AN0	IO	PLL3_CLKOUT2p				AE14	AA9	V8												
4A		VREFB4AN0	IO	PLL3_CLKOUT3p				AG12	AB8	W7												
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B33n	DIFFIN_B33n*	AK10			DQ2B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B34n	DIFFOUT_B34n	AL9			DQ2B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B33p	DIFFIN_B33p*	AJ10			DQ2B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B34p	DIFFOUT_B34p	AK9														
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B34n	DIFFIN_B34n*	AF13			DQSn2B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B35n	DIFFOUT_B35n	AL8			DQ2B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B34p	DIFFIN_B34p*	AE13			DQS2B	DQ1B/CQn1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B35p	DIFFOUT_B35p	AL7														
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B35n	DIFFIN_B35n*	AL6			DQSn1B	DQSn1B/DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B36n	DIFFOUT_B36n	AM6			DQ1B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B35p	DIFFIN_B35p*	AK6			DQS1B	DQS1B/CQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B36p	DIFFOUT_B36p	AM5														
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B36n	DIFFIN_B36n*	AF12			DQ1B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B37n	DIFFOUT_B37n	AK7			DQ1B	DQ1B										
4B	BIO9	VREFB4BN0	IO			DIFFIO_TX_B36p	DIFFIN_B36p*	AE12														
4B	BIO9	VREFB4BN0	IO			DIFFIO_RX_B37p	DIFFOUT_B37p	AJ7			DQ1B	DQ1B										
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R1n	DIFFIN_R1n*	AD6	AA6	AD5	DQ16R	DQ8R	DQ4R	DQ2R	DQ14R	DQ7R	DQ3R	DQ1R	DQ12R	DQ6R		
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R1n	DIFFOUT_R1n	AC6	AD4	AB5	DQ16R	DQ8R	DQ4R	DQ2R	DQ14R	DQ7R	DQ3R	DQ1R	DQ12R	DQ6R		
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R1p	DIFFIN_R1p*	AD7	AB7	AD4	DQ16R	DQ8R	DQ4R	DQ2R	DQ14R	DQ7R	DQ3R	DQ1R	DQ12R	DQ6R		
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R1p	DIFFOUT_R1p	AC7	AC5	AA5												
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R2n	DIFFIN_R2n*	AB9	W8	V7	DQSn16R	DQ8R	DQ4R	DQ2R	DQSn14R	DQ7R	DQ3R	DQ1R	DQSn12R	DQ6R		
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R2n	DIFFOUT_R2n	AB7	AB5	V4	DQ16R	DQ8R	DQ4R	DQ2R	DQ14R	DQ7R	DQ3R	DQ1R	DQ12R	DQ6R		
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R2p	DIFFIN_R2p*	AB10	Y9	V6	DQS16R	DQ8R/CQn8R	DQ4R	DQ2R	DQS14R	DQ7R/CQn7R	DQ3R	DQ1R	DQS12R	DQ6R/CQn6R		

Bank number	I/O Module (Note 1)	VREF	Pin Function	Optional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DQS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780/Note 3)	DQS for X32/X36 for F780 (Note 3)	DQS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R2p	DIFFOUT_R2p	AB8	AB6	V5											
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R3n	DIFFIN_R3n*	AH1	AC4	AB4	DQSn15R	DQSn8R/DQ8R	DQ4R	DQ2R	DQSn13R	DQSn7R/DQ7R	DQ3R	DQ1R	DQSn11R	DQSn6R/DQ6R	
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R3n	DIFFOUT_R3n	AF4	Y5	Y4	DQ15R	DQ8R	DQ4R	DQ2R	DQ13R	DQ7R	DQ3R	DQ1R	DQ11R	DQ6R	
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R3p	DIFFIN_R3p*	AH2	AB4	AA4	DQS15R	DQS8R/CQ8R	DQ4R	DQ2R	DQS13R	DQS7R/CQ7R	DQ3R	DQ1R	DQS11R	DQS6R/CQ6R	
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R3p	DIFFOUT_R3p	AE4	Y6	W4											
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R4n	DIFFIN_R4n*	Y6	W6	U6	DQ15R	DQ8R	DQ4R	DQ2R	DQ13R	DQ7R	DQ3R	DQ1R	DQ11R	DQ6R	
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R4n	DIFFOUT_R4n	AG1	AE3	AC4	DQ15R	DQ8R	DQ4R	DQ2R	DQ13R	DQ7R	DQ3R	DQ1R	DQ11R	DQ6R	
5A	RIO1	VREFB5AN0	IO			DIFFIO_TX_R4p	DIFFIN_R4p*	AA7	V7	T6											
5A	RIO1	VREFB5AN0	IO			DIFFIO_RX_R4p	DIFFOUT_R4p	AF1	AD3	AC3	DQ15R	DQ8R	DQ4R	DQ2R	DQ13R	DQ7R	DQ3R	DQ1R	DQ11R	DQ6R	
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R5n	DIFFIN_R5n*	AF2	AC2		DQ14R	DQ7R	DQ4R	DQ2R	DQ12R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R5n	DIFFOUT_R5n	AE1	AA3		DQ14R	DQ7R	DQ4R	DQ2R	DQ12R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R5p	DIFFIN_R5p*	AF3	AC3		DQ14R	DQ7R	DQ4R	DQ2R	DQ12R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R5p	DIFFOUT_R5p	AE2	AA4												
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R6n	DIFFIN_R6n*	AA9	V6		DQSn14R	DQ7R	DQ4R	DQ2R	DQSn12R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R6n	DIFFOUT_R6n	AB5	W4		DQ14R	DQ7R	DQ4R	DQ2R	DQ12R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R6p	DIFFIN_R6p*	AA10	U6		DQS14R	DQ7R/CQn7R	DQ4R/CQn4R	DQ2R	DQS12R	DQ6R/CQn6R	DQ3R/CQn3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R6p	DIFFOUT_R6p	AB6	W5												
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R7n	DIFFIN_R7n*	AE3	AB2		DQSn13R	DQSn7R/DQ7R	DQSn4R/DQ4R	DQ2R	DQSn11R	DQSn6R/DQ6R	DQSn3R/DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R7n	DIFFOUT_R7n	AC4	Y3		DQ13R	DQ7R	DQ4R	DQ2R	DQ11R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R7p	DIFFIN_R7p*	AD4	AB3		DQS13R	DQS7R/CQ7R	DQS4R/CQ4R	DQ2R	DQS11R	DQS6R/CQ6R	DQS3R/CQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R7p	DIFFOUT_R7p	AC5	Y4												
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R8n	DIFFIN_R8n*	Y7	T6		DQ13R	DQ7R	DQ4R	DQ2R	DQ11R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R8n	DIFFOUT_R8n	AD1	AE1		DQ13R	DQ7R	DQ4R	DQ2R	DQ11R	DQ6R	DQ3R	DQ1R			
5A	RIO2	VREFB5AN0	IO			DIFFIO_TX_R8p	DIFFIN_R8p*	Y8	T7												
5A	RIO2	VREFB5AN0	IO			DIFFIO_RX_R8p	DIFFOUT_R8p	AC1	AD1		DQ13R	DQ7R	DQ4R	DQ2R	DQ11R	DQ6R	DQ3R	DQ1R			
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R9n	DIFFIN_R9n*	AC2	AC1	AD3	DQ12R	DQ6R	DQ3R	DQ2R	DQ10R	DQ5R	DQ2R	DQ1R	DQ10R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R9n	DIFFOUT_R9n	AB3	AA1	U3	DQ12R	DQ6R	DQ3R	DQ2R	DQ10R	DQ5R	DQ2R	DQ1R	DQ10R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R9p	DIFFIN_R9p*	AC3	AB1	AD2	DQ12R	DQ6R	DQ3R	DQ2R	DQ10R	DQ5R	DQ2R	DQ1R	DQ10R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R9p	DIFFOUT_R9p	AB4	Y1	U4											
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R10n	DIFFIN_R10n*	Y10	N4	T4	DQSn12R	DQ6R	DQ3R	DQ2R	DQSn10R	DQ5R	DQ2R	DQ1R	DQSn10R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R10n	DIFFOUT_R10n	AB1	V3	Y3	DQ12R	DQ6R	DQ3R	DQ2R	DQ10R	DQ5R	DQ2R	DQ1R	DQ10R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R10p	DIFFIN_R10p*	Y11	P5	T5	DQS12R	DQ6R/CQn6R	DQ3R	DQ2R/CQn2R	DQS10R	DQ5R/CQn5R	DQ2R	DQ1R/CQn1R	DQS10R	DQ5R/CQn5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R10p	DIFFOUT_R10p	AB2	V4	W3											
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R11n	DIFFIN_R11n*	AA4	W1	W2	DQSn11R	DQSn6R/DQ6R	DQ3R	DQ2R/DQ2R	DQSn9R	DQSn6R/DQ5R	DQ2R	DQSn1R/DQ1R	DQS9R	DQSn5R/DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R11n	DIFFOUT_R11n	AA1	W2	AB3	DQ11R	DQ6R	DQ3R	DQ2R	DQ9R	DQ5R	DQ2R	DQ1R	DQ9R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R11p	DIFFIN_R11p*	Y5	V1	V3	DQS11R	DQS6R/CQ6R	DQ3R	DQS2R/CQ2R	DQS9R	DQS5R/CQ5R	DQ2R	DQS1R/CQ1R	DQS9R	DQS5R/CQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R11p	DIFFOUT_R11p	Y1	W3	AA3											
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R12n	DIFFIN_R12n*	Y9	R6	R5	DQ11R	DQ6R	DQ3R	DQ2R	DQ9R	DQ5R	DQ2R	DQ1R	DQ9R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R12n	DIFFOUT_R12n	Y3	U4	AC1	DQ11R	DQ6R	DQ3R	DQ2R	DQ9R	DQ5R	DQ2R	DQ1R	DQ9R	DQ5R	DQ2R
5A	RIO3	VREFB5AN0	IO			DIFFIO_TX_R12p	DIFFIN_R12p*	W10	P6	R6											
5A	RIO3	VREFB5AN0	IO			DIFFIO_RX_R12p	DIFFOUT_R12p	Y4	U5	AB2	DQ11R	DQ6R	DQ3R	DQ2R	DQ9R	DQ5R	DQ2R	DQ1R	DQ9R	DQ5R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R13n	DIFFIN_R13n*	W6	U3	AB1	DQ10R	DQ6R	DQ3R	DQ2R	DQ8R	DQ4R	DQ2R	DQ1R	DQ8R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R13n	DIFFOUT_R13n	W1	T3	T2	DQ10R	DQ5R	DQ3R	DQ2R	DQ8R	DQ4R	DQ2R	DQ1R	DQ8R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R13p	DIFFIN_R13p*	W7	T4	AA1	DQ10R	DQ5R	DQ3R	DQ2R	DQ8R	DQ4R	DQ2R	DQ1R	DQ8R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R13p	DIFFOUT_R13p	Y2	R3	T3											
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R14n	DIFFIN_R14n*	V10	N6	R7	DQSn10R	DQ5R	DQ3R	DQ2R	DQSn8R	DQ4R	DQ2R	DQ1R	DQSn8R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R14n	DIFFOUT_R14n	W3	U1	R3	DQ10R	DQ5R	DQ3R	DQ2R	DQ8R	DQ4R	DQ2R	DQ1R	DQ8R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R14p	DIFFIN_R14p*	V11	M6	P7	DQS10R	DQ5R/CQn5R	DQ3R/CQn3R	DQ2R	DQS8R	DQ4R/CQn4R	DQ2R/CQn2R	DQ1R	DQS8R	DQ4R/CQn4R	DQ2R/CQn2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R14p	DIFFOUT_R14p	W4	T1	R4											
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R15n	DIFFIN_R15n*	V3	R1	V1	DQSn9R	DQSn5R/DQ5R	DQSn3R/DQ3R	DQ2R	DQSn7R	DQSn4R/DQ4R	DQS2R/DQ2R	DQ1R	DQSn7R	DQSn4R/DQ4R	DQS2R/DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R15n	DIFFOUT_R15n	V1	R4	Y1	DQ9R	DQ5R	DQ3R	DQ2R	DQ7R	DQ4R	DQ2R	DQ1R	DQ7R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R15p	DIFFIN_R15p*	V4	P1	U1	DQS9R	DQS5R/CQ5R	DQS3R/CQ3R	DQ2R	DQS7R	DQS4R/CQ4R	DQS2R/CQ2R	DQ1R	DQS7R	DQS4R/CQ4R	DQS2R/CQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R15p	DIFFOUT_R15p	V2	R5	W1											
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R16n	DIFFIN_R16n*	W12	M5	N6	DQ9R	DQ5R	DQ3R	DQ2R	DQ7R	DQ4R	DQ2R	DQ1R	DQ7R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R16n	DIFFOUT_R16n	V7	P3	T1	DQ9R	DQ5R	DQ3R	DQ2R	DQ7R	DQ4R	DQ2R	DQ1R	DQ7R	DQ4R	DQ2R
5A	RIO4	VREFB5AN0	IO			DIFFIO_TX_R16p	DIFFIN_R16p*	V12	L6	N7											
5A	RIO4	VREFB5AN0	IO			DIFFIO_RX_R16p	DIFFOUT_R16p	U7	P4	R1	DQ9R	DQ5R	DQ3R	DQ2R	DQ7R	DQ4R	DQ2R	DQ1R	DQ7R	DQ4R	DQ2R
5A		VREFB5AN0	CLK8	DIFFCLK_2n				V5	P2	P3											
5A		VREFB5AN0	CLK10	DIFFCLK_2p				V6	N3	P4											
6A		VREFB6AN0	CLK9	DIFFCLK_3n				U5	N1	N3											
6A		VREFB6AN0	CLK11	DIFFCLK_3p				U6	M1	N4											
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R17n	DIFFIN_R17n*	T7	L1	P1	DQ8R	DQ4R	DQ2R	DQ1R	DQ6R	DQ3R	DQ1R		DQ6R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R17n	DIFFOUT_R17n	U1	M2	M3	DQ8R	DQ4R	DQ2R	DQ1R	DQ6R	DQ3R	DQ1R		DQ6R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R17p	DIFFIN_R17p*	R7	K1	N1	DQ8R	DQ4R	DQ2R	DQ1R	DQ6R	DQ3R	DQ1R		DQ6R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R17p	DIFFOUT_R17p	U2	L3	M4											
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R18n	DIFFIN_R18n*	U10	K6	M7	DQSn8R	DQ4R	DQ2R	DQ1R	DQSn6R	DQ3R	DQ1R		DQSn6R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R18n	DIFFOUT_R18n	T1	M3	M1	DQ8R	DQ4R	DQ2R	DQ1R	DQ6R	DQ3R	DQ1R		DQ6R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R18p	DIFFIN_R18p*	U11	L7	L7	DQS8R	DQ4R/CQn4R	DQ2R/CQn2R	DQ1R	DQS6R	DQ3R/CQn3R	DQ1R/CQn1R		DQS6R	DQ3R/CQn3R	DQ1R/CQn1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R18p	DIFFOUT_R18p	R1	M4	N2											
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R19n	DIFFIN_R19n*	P1	J2	L1	DQSn7R	DQSn4R/DQ4R	DQSn2R/DQ2R	DQ1R	DQSn5R	DQSn3R/DQ3R	DQSn1R/DQ1R		DQSn5R	DQSn3R/DQ3R	DQSn1R/DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R19n	DIFFOUT_R19n	U3	J1	L3	DQ7R	DQ4R	DQ2R	DQ1R	DQ5R	DQ3R	DQ1R		DQ5R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R19p	DIFFIN_R19p*	R2	J3	K1	DQS7R	DQS4R/CQ4R	DQS2R/CQ2R	DQ1R	DQS5R	DQS3R/CQ3R	DQS1R/CQ1R		DQS5R	DQS3R/CQ3R	DQS1R/CQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R19p	DIFFOUT_R19p	U4	H1	L4											
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R20n	DIFFIN_R20n*	V9	J6	K4	DQ7R	DQ4R	DQ2R	DQ1R	DQ5R	DQ3R	DQ1R		DQ5R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R20n	DIFFOUT_R20n	N1	K3	K2	DQ7R	DQ4R	DQ2R	DQ1R	DQ5R	DQ3R	DQ1R		DQ5R	DQ3R	DQ1R
6A	RIO5	VREFB6AN0	IO			DIFFIO_TX_R20p	DIFFIN_R20p*	U9	J7	K5											
6A	RIO5	VREFB6AN0	IO			DIFFIO_RX_R20p	DIFFOUT_R20p	N2	L4	K3	DQ7R	DQ4R	DQ2R	DQ1R	DQ5R	DQ3R	DQ1R		DQ5R	DQ3R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R21n	DIFFIN_R21n*	T4	G1	J1	DQ6R	DQ3R	DQ2R	DQ1R	DQ4R	DQ2R	DQ1R		DQ4R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R21n	DIFFOUT_R21n	R5	E1	J3	DQ6R	DQ3R	DQ2R	DQ1R	DQ4R	DQ2R	DQ1R		DQ4R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R21p	DIFFIN_R21p*	R4	F1	H1	DQ6R	DQ3R	DQ2R	DQ1R	DQ4R	DQ2R	DQ1R		DQ4R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R21p	DIFFOUT_R21p	R6	F2	J4											
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R22n	DIFFIN_R22n*	R10	K7	J5	DQSn6R	DQ3R	DQ2R	DQ1R	DQSn4R	DQ2R	DQ1R		DQSn4R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R22n	DIFFOUT_R22n	M1	D1	G1	DQ6R	DQ3R	DQ2R	DQ1R	DQ4R	DQ2R	DQ1R		DQ4R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R22p	DIFFIN_R22p*	R11	J8	J6	DQS6R	DQ3R/CQn3R	DQ2R	DQ1R/CQn1R	DQS4R	DQ2R/CQn2R	DQ1R		DQS4R	DQ2R/CQn2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R22p	DIFFOUT_R22p	M2	C1	G2											
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R23n	DIFFIN_R23n*	L1	J4	F1	DQSn5R	DQSn3R/DQ3R	DQ2R	DQSn1R/DQ1R	DQSn3R	DQSn2R/DQ2R	DQ1R		DQSn3R	DQSn2R/DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R23n	DIFFOUT_R23n	R3	H3	H3	DQ5R	DQ3R	DQ2R	DQ1R	DQ3R	DQ2R	DQ1R		DQ3R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R23p	DIFFIN_R23p*	K1	J5	E1	DQS5R	DQS3R/CQ3R	DQ2R	DQS1R/CQ1R	DQS3R	DQS2R/CQ2R	DQ1R		DQS3R	DQS2R/CQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R23p	DIFFOUT_R23p	P4	H4	H4											
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R24n	DIFFIN_R24n*	R9	K8	H6	DQ5R	DQ3R	DQ2R	DQ1R	DQ3R	DQ2R	DQ1R		DQ3R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R24n	DIFFOUT_R24n	J1	K4	G3	DQ5R	DQ3R	DQ2R	DQ1R	DQ3R	DQ2R	DQ1R		DQ3R	DQ2R	DQ1R
6A	RIO6	VREFB6AN0	IO			DIFFIO_TX_R24p	DIFFIN_R24p*	T10	K9	H7											
6A	RIO6	VREFB6AN0	IO			DIFFIO_RX_R24p	DIFFOUT_R24p	J2	K5	F3	DQ5R	DQ3R	DQ2R	DQ1R	DQ3R	DQ2R	DQ1R		DQ3R	DQ2R	DQ1R
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R25n	DIFFIN_R25n*	H1			DQ4R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R25n	DIFFOUT_R25n	F1			DQ4R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R25p	DIFFIN_R25p*	G1			DQ4R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R25p	DIFFOUT_R25p	E1													
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R26n	DIFFIN_R26n*	P7			DQSn4R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R26n	DIFFOUT_R26n	D1			DQ4R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R26p	DIFFIN_R26p*	R8			DQS4R	DQ2R/CQn2R	DQ1R/CQn1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R26p	DIFFOUT_R26p	D2													
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R27n	DIFFIN_R27n*	N3			DQSn3R	DQSn2R/DQ2R	DQSn1R/DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R27n	DIFFOUT_R27n	N4			DQ3R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R27p	DIFFIN_R27p*	M3			DQS3R	DQS2R/CQ2R	DQS1R/CQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R27p	DIFFOUT_R27p	N5													
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R28n	DIFFIN_R28n*	P9			DQ3R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R28n	DIFFOUT_R28n	C1			DQ3R	DQ2R	DQ1R	DQ1R							
6A	RIO7	VREFB6AN0	IO			DIFFIO_TX_R28p	DIFFIN_R28p*	P10													
6A	RIO7	VREFB6AN0	IO			DIFFIO_RX_R28p	DIFFOUT_R28p	C2			DQ3R	DQ2R	DQ1R	DQ1R							
6A	RIO8	VREFB6AN0	IO		DATA7	DIFFIO_TX_R29n	DIFFIN_R29n*	K2	B1	D1	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R			DQ2R	DQ1R	
6A	RIO8	VREFB6AN0	IO		DATA6	DIFFIO_RX_R29n	DIFFOUT_R29n	M4	C2	E3	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R			DQ2R	DQ1R	
6A	RIO8	VREFB6AN0	IO		DATA5	DIFFIO_TX_R29p	DIFFIN_R29p*	K3	A2	D2	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R			DQ2R	DQ1R	
6A	RIO8	VREFB6AN0	IO		DATA4	DIFFIO_RX_R29p	DIFFOUT_R29p	L4	C3	D3											
6A	RIO8	VREFB6AN0	IO		DATA3	DIFFIO_TX_R30n	DIFFIN_R30n*	P6	H6	G5	DQSn2R	DQ1R	DQ1R	DQ1R	DQSn2R	DQ1R			DQSn2R	DQ1R	
6A	RIO8	VREFB6AN0	IO		DATA2	DIFFIO_RX_R30n	DIFFOUT_R30n	G2	G3	G4	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R			DQ2R	DQ1R	
6A	RIO8	VREFB6AN0	IO		DATA1	DIFFIO_TX_R30p	DIFFIN_R30p*	N6	H7	G6	DQS2R	DQ1R/CQn1R	DQ1R	DQ1R	DQS2R	DQ1R/CQn1R			DQS2R	DQ1R/CQn1R	
6A	RIO8	VREFB6AN0	IO		CLKUSR	DIFFIO_RX_R30p	DIFFOUT_R30p	F2	G4	F4											
6A	RIO8	VREFB6AN0	IO			DIFFIO_TX_R31n	DIFFIN_R31n*	J4	E3	C2	DQSn1R	DQSn1R/DQ1R	DQ1R	DQ1R	DQSn1R	DQSn1R/DQ1R			DQSn1R	DQSn1R/DQ1R	

Bank number	I/O Module (Note 1)	VREF	Pin Function	Ootional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DOS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DOS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DOS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
6A	RIO8	VREFB6AN0	IO			DIFFIO_RX_R31n	DIFFOUT_R31n	J3	F3	E4	DQ1R	DQ1R				DQ1R				DQ1R	
6A	RIO8	VREFB6AN0	IO			DIFFIO_TX_R31p	DIFFIN_R31p*	J5	D3	C3	DQS1R	DQS1R/CQ1R	DQ1R	DQ1R	DQS1R	DQS1R/CQ1R			DQS1R	DQS1R/CQ1R	
6A	RIO8	VREFB6AN0	IO		DEV_OE	DIFFIO_RX_R31p	DIFFOUT_R31p	H3	F4	D4											
6A	RIO8	VREFB6AN0	IO			DIFFIO_TX_R32n	DIFFIN_R32n*	N9	G5	G7	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R			DQ1R	DQ1R	
6A	RIO8	VREFB6AN0	IO			DIFFIO_RX_R32n	DIFFOUT_R32n	K4	E4	C1	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R			DQ1R	DQ1R	
6A	RIO8	VREFB6AN0	IO		DEV_CLRn	DIFFIO_TX_R32p	DIFFIN_R32p*	N10	G6	F7											
6A	RIO8	VREFB6AN0	IO			DIFFIO_RX_R32p	DIFFOUT_R32p	K5	F5	B1	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R			DQ1R	DQ1R	
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T1p	DIFFOUT_T1p	C8			DQ18T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T1p	DIFFIN_T1p*	K12													
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T1n	DIFFOUT_T1n	C7			DQ18T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T1n	DIFFIN_T1n*	J11			DQ18T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T2p	DIFFOUT_T2p	F10													
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T2p	DIFFIN_T2p*	J12			DQS18T	DQS9T/CQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T2n	DIFFOUT_T2n	E9			DQ18T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T2n	DIFFIN_T2n*	H12			DQSn18T	DQSn9T/DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T3p	DIFFOUT_T3p	E10													
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T3p	DIFFIN_T3p*	M13			DQS17T	DQ9T/CQn9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T3n	DIFFOUT_T3n	D9			DQ17T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T3n	DIFFIN_T3n*	L13			DQSn17T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T4p	DIFFOUT_T4p	D10													
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T4p	DIFFIN_T4p*	J13			DQ17T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_RX_T4n	DIFFOUT_T4n	C10			DQ17T	DQ9T									
7B	TIO9	VREFB7BN0	IO			DIFFIO_TX_T4n	DIFFIN_T4n*	H13			DQ17T	DQ9T									
7A		VREFB7AN0	IO	RUP1				G12	F7	E7											
7A		VREFB7AN0	IO	PLL2_CLKOUT1p				K14	K10	G8											
7A		VREFB7AN0	IO	RDN1				G11	G7	D7											
7A		VREFB7AN0	IO	PLL2_CLKOUT1n				J14	J9	F8											
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T5p	DIFFOUT_T5p	G13	F9		DQ16T	DQ8T	DQ4T	DQ2T	DQ14T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T5p	DIFFIN_T5p*	H15	H10												
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T5n	DIFFOUT_T5n	F13	F8		DQ16T	DQ8T	DQ4T	DQ2T	DQ14T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T5n	DIFFIN_T5n*	G15	G10		DQ16T	DQ8T	DQ4T	DQ2T	DQ14T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T6p	DIFFOUT_T6p	B1	F10												
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T6p	DIFFIN_T6p*	F12	E6		DQS16T	DQS8T/CQ8T	DQ4T	DQ2T	DQS14T	DQS7T/CQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T6n	DIFFOUT_T6n	A2	E10		DQ16T	DQ8T	DQ4T	DQ2T	DQ14T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T6n	DIFFIN_T6n*	E12	D5		DQSn16T	DQSn8T/DQ8T	DQ4T	DQ2T	DQSn14T	DQSn7T/DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T7p	DIFFOUT_T7p	C3	D4												
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T7p	DIFFIN_T7p*	K15	K11		DQS15T	DQ8T/CQn8T	DQ4T	DQ2T	DQS13T	DQ7T/CQn7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T7n	DIFFOUT_T7n	B4	C4		DQ15T	DQ8T	DQ4T	DQ2T	DQ13T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T7n	DIFFIN_T7n*	J15	J10		DQSn15T	DQ8T	DQ4T	DQ2T	DQSn13T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T8p	DIFFOUT_T8p	E13	B3												
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T8p	DIFFIN_T8p*	D12	A5		DQ15T	DQ8T	DQ4T	DQ2T	DQ13T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_RX_T8n	DIFFOUT_T8n	D13	A3		DQ15T	DQ8T	DQ4T	DQ2T	DQ13T	DQ7T	DQ3T	DQ1T			
7A	TIO8	VREFB7AN0	IO			DIFFIO_TX_T8n	DIFFIN_T8n*	D11	A4		DQ15T	DQ8T	DQ4T	DQ2T	DQ13T	DQ7T	DQ3T	DQ1T			
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T9p	DIFFOUT_T9p	B3	E7	D6	DQ14T	DQ7T	DQ4T	DQ2T	DQ12T	DQ6T	DQ3T	DQ1T	DQ8T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T9p	DIFFIN_T9p*	K16	G11	H9											
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T9n	DIFFOUT_T9n	A3	D7	C6	DQ14T	DQ7T	DQ4T	DQ2T	DQ12T	DQ6T	DQ3T	DQ1T	DQ8T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T9n	DIFFIN_T9n*	J16	F11	G9	DQ14T	DQ7T	DQ4T	DQ2T	DQ12T	DQ6T	DQ3T	DQ1T	DQ8T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T10p	DIFFOUT_T10p	A5	D6	B3											
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T10p	DIFFIN_T10p*	G14	E9	C4	DQS14T	DQS7T/CQ7T	DQS4T/CQ4T	DQ2T	DQS12T	DQS6T/CQ6T	DQS3T/CQ3T	DQ1T	DQS8T	DQS4T/CQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T10n	DIFFOUT_T10n	A4	C5	A4	DQ14T	DQ7T	DQ4T	DQ2T	DQ12T	DQ6T	DQ3T	DQ1T	DQ8T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T10n	DIFFIN_T10n*	F15	D9	B4	DQSn14T	DQSn7T/DQ7T	DQSn4T/DQ4T	DQ2T	DQSn12T	DQSn6T/DQ6T	DQSn3T/DQ3T	DQ1T	DQSn8T	DQSn4T/DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T11p	DIFFOUT_T11p	C9	C7	A3											
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T11p	DIFFIN_T11p*	L16	J12	P9	DQS13T	DQ7T/CQn7T	DQ4T/CQn4T	DQ2T	DQS11T	DQ6T/CQn6T	DQ3T/CQn3T	DQ1T	DQS7T	DQ4T/CQn4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T11n	DIFFOUT_T11n	B9	C6	A2	DQ13T	DQ7T	DQ4T	DQ2T	DQ11T	DQ6T	DQ3T	DQ1T	DQ7T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T11n	DIFFIN_T11n*	K17	J11	E9	DQSn13T	DQ7T	DQ4T	DQ2T	DQSn11T	DQ6T	DQ3T	DQ1T	DQSn7T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T12p	DIFFOUT_T12p	B6	D8	D8											
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T12p	DIFFIN_T12p*	B7	D10	A6	DQ13T	DQ7T	DQ4T	DQ2T	DQ11T	DQ6T	DQ3T	DQ1T	DQ7T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_RX_T12n	DIFFOUT_T12n	A6	C8	C7	DQ13T	DQ7T	DQ4T	DQ2T	DQ11T	DQ6T	DQ3T	DQ1T	DQ7T	DQ4T	DQ2T
7A	TIO7	VREFB7AN0	IO			DIFFIO_TX_T12n	DIFFIN_T12n*	A7	C10	A5	DQ13T	DQ7T	DQ4T	DQ2T	DQ11T	DQ6T	DQ3T	DQ1T	DQ7T	DQ4T	DQ2T
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T13p	DIFFOUT_T13p	D14	E12		DQ12T	DQ6T	DQ3T	DQ2T	DQ10T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T13p	DIFFIN_T13p*	J17	G12												
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T13n	DIFFOUT_T13n	C15	D12		DQ12T	DQ6T	DQ3T	DQ2T	DQ10T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T13n	DIFFIN_T13n*	H16	F12		DQ12T	DQ6T	DQ3T	DQ2T	DQ10T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T14p	DIFFOUT_T14p	A9	C9												
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T14p	DIFFIN_T14p*	E15	D11		DQS12T	DQS6T/CQ6T	DQ3T	DQS2T/CQ2T	DQS10T	DQS5T/CQ5T	DQ2T	DQS1T/CQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T14n	DIFFOUT_T14n	A8	B9		DQ12T	DQ6T	DQ3T	DQ2T	DQ10T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T14n	DIFFIN_T14n*	D15	C11		DQSn12T	DQSn6T/DQ6T	DQ3T	DQSn2T/DQ2T	DQSn10T	DQSn5T/DQ5T	DQ2T	DQSn1T/DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T15p	DIFFOUT_T15p	C13	G13												
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T15p	DIFFIN_T15p*	H18	K13		DQS11T	DQ6T/CQn6T	DQ3T	DQ2T/CQn2T	DQS9T	DQ5T/CQn5T	DQ2T	DQ1T/CQn1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T15n	DIFFOUT_T15n	C12	F13		DQ11T	DQ6T	DQ3T	DQ2T	DQ9T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T15n	DIFFIN_T15n*	G18	K12		DQSn11T	DQ6T	DQ3T	DQ2T	DQSn9T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T16p	DIFFOUT_T16p	F16	E13												
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T16p	DIFFIN_T16p*	D16	C13		DQ11T	DQ6T	DQ3T	DQ2T	DQ9T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_RX_T16n	DIFFOUT_T16n	E16	D13		DQ11T	DQ6T	DQ3T	DQ2T	DQ9T	DQ5T	DQ2T	DQ1T			
7A	TIO6	VREFB7AN0	IO			DIFFIO_TX_T16n	DIFFIN_T16n*	C16	C12		DQ11T	DQ6T	DQ3T	DQ2T	DQ9T	DQ5T	DQ2T	DQ1T			
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T17p	DIFFOUT_T17p	B13	B6	D9	DQ10T	DQ5T	DQ3T	DQ2T	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T17p	DIFFIN_T17p*	G17	K14	G11											
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T17n	DIFFOUT_T17n	B12	A6	C9	DQ10T	DQ5T	DQ3T	DQ2T	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T17n	DIFFIN_T17n*	G16	J14	G10	DQ10T	DQ5T	DQ3T	DQ2T	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T18p	DIFFOUT_T18p	A12	A10	A8											
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T18p	DIFFIN_T18p*	B10	A8	B7	DQS10T	DQS5T/CQ5T	DQS3T/CQ3T	DQ2T	DQS8T	DQS4T/CQ4T	DQS2T/CQ2T	DQ1T	DQS6T	DQS3T/CQ3T	DQS2T/CQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T18n	DIFFOUT_T18n	A11	A9	A7	DQ10T	DQ5T	DQ3T	DQ2T	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T18n	DIFFIN_T18n*	A10	A7	B6	DQSn10T	DQSn5T/DQ5T	DQSn3T/DQ3T	DQ2T	DQSn8T	DQSn4T/DQ4T	DQSn2T/DQ2T	DQ1T	DQSn6T	DQSn3T/DQ3T	DQSn2T/DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T19p	DIFFOUT_T19p	A14	B12	D10											
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T19p	DIFFIN_T19p*	M17	G14	F10	DQS9T	DQ5T/CQn5T	DQ3T/CQn3T	DQ2T	DQS7T	DQ4T/CQn4T	DQ2T/CQn2T	DQ1T	DQS5T	DQ3T/CQn3T	DQ2T/CQn2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T19n	DIFFOUT_T19n	A13	A11	C10	DQ9T	DQ5T	DQ3T	DQ2T	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T19n	DIFFIN_T19n*	M16	F14	E10	DQSn9T	DQ5T	DQ3T	DQ2T	DQSn7T	DQ4T	DQ2T	DQ1T	DQSn5T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T20p	DIFFOUT_T20p	B15	A13	B9											
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T20p	DIFFIN_T20p*	B16	A15	B10	DQ9T	DQ5T	DQ3T	DQ2T	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_RX_T20n	DIFFOUT_T20n	A15	A12	A9	DQ9T	DQ5T	DQ3T	DQ2T	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T
7A	TIO5	VREFB7AN0	IO			DIFFIO_TX_T20n	DIFFIN_T20n*	A16	A14	A10	DQ9T	DQ5T	DQ3T	DQ2T	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T
8A		VREFB8AN0	CLK12	DIFFCLK_4p				F18	D15	D11											
7A		VREFB7AN0	CLK13	DIFFCLK_5p				K18	D14	F12											
8A		VREFB8AN0	CLK14	DIFFCLK_4n				F17	C15	C11											
7A		VREFB7AN0	CLK15	DIFFCLK_5n				J18	C14	F11											
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T21p	DIFFOUT_T21p	D18	C16	E12	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T		DQ4T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T21p	DIFFIN_T21p*	N19	F16	E13											
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T21n	DIFFOUT_T21n	D17	B15	D12	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T		DQ4T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T21n	DIFFIN_T21n*	M18	F15	D13	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T		DQ4T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T22p	DIFFOUT_T22p	C18	A18	C12											
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T22p	DIFFIN_T22p*	A18	B16	A12	DQS8T	DQS4T/CQ4T	DQS2T/CQ2T	DQ1T	DQS6T	DQS3T/CQ3T	DQS1T/CQ1T		DQS4T	DQS2T/CQ2T	DQS1T/CQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T22n	DIFFOUT_T22n	B18	A17	B12	DQ8T	DQ4T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T		DQ4T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T22n	DIFFIN_T22n*	A17	A16	A11	DQSn8T	DQSn4T/DQ4T	DQSn2T/DQ2T	DQ1T	DQSn6T	DQSn3T/DQ3T	DQSn1T/DQ1T		DQSn4T	DQSn2T/DQ2T	DQSn1T/DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T23p	DIFFOUT_T23p	B19	E15	B13											
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T23p	DIFFIN_T23p*	G19	H15	G13	DQS7T	DQ4T/CQn4T	DQ2T/CQn2T	DQ1T	DQS5T	DQ3T/CQn3T	DQ1T/CQn1T		DQS3T	DQ2T/CQn2T	DQ1T/CQn1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T23n	DIFFOUT_T23n	A19	D16	A13	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ1T		DQ3T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T23n	DIFFIN_T23n*	F19	G15	F13	DQSn7T	DQ4T	DQ2T	DQ1T	DQSn5T	DQ3T	DQ1T		DQSn3T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T24p	DIFFOUT_T24p	D19	A20	D14											
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T24p	DIFFIN_T24p*	A21	C19	B15	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ1T		DQ3T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_RX_T24n	DIFFOUT_T24n	C19	A19	C13	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ1T		DQ3T	DQ2T	DQ1T
8A	TIO4	VREFB8AN0	IO			DIFFIO_TX_T24n	DIFFIN_T24n*	A20	B19	A14	DQ7T	DQ4T	DQ2T	DQ1T	DQ5T	DQ3T	DQ1T		DQ3T	DQ2T	DQ1T
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T25p	DIFFOUT_T25p	C21	D17		DQ6T	DQ3T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T25p	DIFFIN_T25p*	K20	L15												
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T25n	DIFFOUT_T25n	B21	C17		DQ6T	DQ3T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T25n	DIFFIN_T25n*	J20	K15		DQ6T	DQ3T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T26p	DIFFOUT_T26p	E19	D18												
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T26p	DIFFIN_T26p*	A23	D21		DQS6T	DQS3T/CQ3T	DQ2T	DQS1T/CQ1T	DQS4T	DQS2T/CQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T26n	DIFFOUT_T26n	E18	C18		DQ6T	DQ3T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T				

Bank number	I/O Module (Note 1)	VREF	Pin Function	Optional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DQS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DOS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T26n	DIFFIN_T26n*	A22	C21		DQSn6T	DQSn3T/DQ3T	DQ2T	DQSn1T/DQ1T	DQSn4T	DQSn2T/DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T27p	DIFFOUT_T27p	C22	D20												
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T27p	DIFFIN_T27p*	J19	G17		DQS5T	DQ3T/CQn3T	DQ2T	DQ1T/CQn1T	DQS3T	DQ2T/CQn2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T27n	DIFFOUT_T27n	B22	D19		DQ5T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T27n	DIFFIN_T27n*	H19	F17		DQSn5T	DQ3T	DQ2T	DQ1T	DQSn3T	DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T28p	DIFFOUT_T28p	B24	L19												
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T28p	DIFFIN_T28p*	B25	J21		DQ5T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_RX_T28n	DIFFOUT_T28n	A24	K20		DQ5T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T				
8A	TIO3	VREFB8AN0	IO			DIFFIO_TX_T28n	DIFFIN_T28n*	A25	J20		DQ5T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T				
8A	TIO2	VREFB8AN0	IO			DIFFIO_RX_T29p	DIFFOUT_T29p	A27	F22	D15	DQ4T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T			DQ2T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T29p	DIFFIN_T29p*	G21	K16	G14											
8A	TIO2	VREFB8AN0	IO			DIFFIO_RX_T29n	DIFFOUT_T29n	A26	E22	C15	DQ4T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T			DQ2T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T29n	DIFFIN_T29n*	G20	J16	F14	DQ4T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T			DQ2T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_RX_T30p	DIFFOUT_T30p	D21	G24	C16											
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T30p	DIFFIN_T30p*	C28	F24	A16	DQS4T	DQS2T/CQ2T	DQS1T/CQ1T	DQ1T	DQS2T	DQS1T/CQ1T			DQS2T	DQS1T/CQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_RX_T30n	DIFFOUT_T30n	D20	F23	B16	DQ4T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T			DQ2T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T30n	DIFFIN_T30n*	B27	E24	A15	DQSn4T	DQSn2T/DQ2T	DQS1T/DQ1T	DQ1T	DQSn2T	DQSn1T/DQ1T			DQSn2T	DQSn1T/DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_RX_T31p	DIFFOUT_T31p	D23	F21	A18											
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T31p	DIFFIN_T31p*	G23	K18	F15	DQS3T	DQ2T/CQn2T	DQ1T/CQn1T	DQ1T	DQS1T	DQ1T/CQn1T			DQS1T	DQ1T/CQn1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_RX_T31n	DIFFOUT_T31n	C24	E21	A17	DQ3T	DQ2T	DQ1T	DQ1T	DQ1T	DQ1T			DQ1T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T31n	DIFFIN_T31n*	F23	J17	E15	DQSn3T	DQ2T	DQ1T	DQ1T	DQSn1T	DQ1T			DQSn1T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO		CRC_ERROR	DIFFIO_RX_T32p	DIFFOUT_T32p	F24	E19	C19											
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T32p	DIFFIN_T32p*	D24	G19	A20	DQ3T	DQ2T	DQ1T	DQ1T	DQ1T	DQ1T			DQ1T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_RX_T32n	DIFFOUT_T32n	E24	E18	B18	DQ3T	DQ2T	DQ1T	DQ1T	DQ1T	DQ1T			DQ1T	DQ1T	DQ1T
8A	TIO2	VREFB8AN0	IO			DIFFIO_TX_T32n	DIFFIN_T32n*	C25	G18	A19	DQ3T	DQ2T	DQ1T	DQ1T	DQ1T	DQ1T			DQ1T	DQ1T	DQ1T
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T33p	DIFFOUT_T33p	F21			DQ2T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T33p	DIFFIN_T33p*	N20													
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T33n	DIFFOUT_T33n	E21			DQ2T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T33n	DIFFIN_T33n*	M20			DQ2T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T34p	DIFFOUT_T34p	D27													
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T34p	DIFFIN_T34p*	D25			DQS2T	DQS1T/CQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T34n	DIFFOUT_T34n	C27			DQ2T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T34n	DIFFIN_T34n*	C26			DQSn2T	DQSn1T/DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T35p	DIFFOUT_T35p	E22													
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T35p	DIFFIN_T35p*	H21			DQS1T	DQ1T/CQn1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T35n	DIFFOUT_T35n	D22			DQ1T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T35n	DIFFIN_T35n*	G22			DQSn1T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T36p	DIFFOUT_T36p	D29													
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T36p	DIFFIN_T36p*	C30			DQ1T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_RX_T36n	DIFFOUT_T36n	D28			DQ1T	DQ1T	DQ1T	DQ1T							
8A	TIO1	VREFB8AN0	IO			DIFFIO_TX_T36n	DIFFIN_T36n*	C29			DQ1T	DQ1T	DQ1T	DQ1T							
8A		VREFB8AN0	IO	RUP2				E25	L21	C20											
8A		VREFB8AN0	IO	PLL1_CLKOUT1p				M21	K19	H16											
8A		VREFB8AN0	IO	RDN2				D26	K21	B19											
8A		VREFB8AN0	IO	PLL1_CLKOUT1n				L21	J18	G16											
8A		VREFB8AN0	IO	PLL1_CLKOUT2p				F26	F20	D17											
8A		VREFB8AN0	IO	PLL1_CLKOUT3p				K21	J19	F16											
8A		VREFB8AN0	IO	PLL1_CLKOUT2n				F25	F19	C18											
8A		VREFB8AN0	IO	PLL1_CLKOUT3n				J21	H19	E16											
8C			TDO		TDO			M27	L23	G20											
8C			ASDO		ASDO			K27	J22	J20											
8C			nCSO		nCSO			M26	H22	H19											
8C			DATA0		DATA0			N26	K22	J19											
8C			TDI		TDI			M25	H24	G19											
8C			TMS		TMS			N25	J23	G17											
8C			TCK		TCK			L24	L24	D18											
8C			DCLK		DCLK			L25	K24	F20											
			GND					U17	P14	M12											
			GND					AD27	AB21	T18											
			GND					M28	G22	D20											
			GND					N27	K23	D19											
			GND					Y34	Y28	Y24											
			GND					Y33	Y27	Y23											
			GND					Y30	W26	W22											
			GND					Y29	W25	W21											
			GND					Y27	V28	V24											
			GND					V25	V27	V23											
			GND					W32	U26	U22											
			GND					W31	U25	U21											
			GND					W28	T28	T24											
			GND					W26	T27	T23											
			GND					V34	T24	R22											
			GND					V33	T22	R21											
			GND					V30	R26	R19											
			GND					V29	R25	P24											
			GND					V27	R23	P23											
			GND					V25	R21	P20											
			GND					U32	P28	N22											
			GND					U31	P27	N21											
			GND					U28	P24	N19											
			GND					U26	P22	M24											
			GND					T34	N26	M23											
			GND					T33	N25	M20											
			GND					T30	N23	L22											
			GND					T29	N21	L21											
			GND					T27	M28	L19											
			GND					T25	M27	K24											
			GND					R32	M24	K23											
			GND					R31	L26	K20											
			GND					R28	L25	J22											
			GND					R26	K28	J21											
			GND					P34	K27	H24											
			GND					P33	J26	H23											
			GND					P30	J25	G22											
			GND					P29	H28	G21											
			GND					P28	H27	F24											
			GND					P26	G26	F23											
			GND					N32	G25	E22											
			GND					N31	F28	E21											
			GND					M34	F27	D24											
			GND					M33	E26	D23											
			GND					M30	E25	C22											
			GND					M29	D28	C21											
			GND					L32	D27	B24											
			GND					L31	D24	B23											
			GND					K34	D22	AD23											
			GND					K33	C26	AC23											
			GND					K30	C25	AB24											
			GND					K29	C24	AB23											
			GND					J32	C22	AB22											
			GND					J31	B28	AA22											
			GND					H34	B27	AA21											
			GND					H33	B25	A23											
			GND					G32	B23	A22											
			GND					G31	B22	A21											
			GND					F34	B21	Y8											
			GND					F33	AH26	Y5											
			GND					E32	AH24	Y20											

Bank number	I/O Module (Note 1)	VREF	Pin Function	Optional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DQS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DQS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
			GND					E31	AH22	Y2											
			GND					D34	AH20	Y17											
			GND					D33	AG28	Y14											
			GND					C32	AG26	Y11											
			GND					C31	AG24	W6											
			GND					B34	AG22	W18											
			GND					B33	AG21	U8											
			GND					B30	AG20	U5											
			GND					B29	AF28	U20											
			GND					B28	AF27	U2											
			GND					AP33	AF26	U17											
			GND					AP32	AF25	U14											
			GND					AP30	AF23	U11											
			GND					AN32	AE26	T14											
			GND					AN31	AE25	T12											
			GND					AN30	AE23	T10											
			GND					AM34	AD28	R9											
			GND					AM33	AD27	R17											
			GND					AL32	AC26	R15											
			GND					AL31	AC25	R13											
			GND					AK34	AB28	R11											
			GND					AK33	AB27	P8											
			GND					AJ32	AA26	P5											
			GND					AJ31	AA25	P2											
			GND					AH34	A27	P16											
			GND					AH33	A25	P14											
			GND					AG32	A23	P12											
			GND					AG31	A21	N9											
			GND					AF34	Y7	N15											
			GND					AF33	W9	M8											
			GND					AF30	W22	M14											
			GND					AF29	W19	L5											
			GND					AE32	W17	L15											
			GND					AE31	W15	K8											
			GND					AD34	V8	K12											
			GND					AD33	V5	J15											
			GND					AD30	V20	H5											
			GND					AD29	V2	H14											
			GND					AC32	V18	E8											
			GND					AC31	V16	E17											
			GND					AB34	V14	B5											
			GND					AB33	V12	B14											
			GND					AB30	V10	AC20											
			GND					AB29	U9	AC11											
			GND					AB27	U17	J17											
			GND					AA32	U13	H8											
			GND					AA31	T8	H17											
			GND					AA28	T20	F18											
			GND					AA26	T18	E2											
			GND					A33	T14	B8											
			GND					A32	T10	B17											
			GND					A31	R19	AC5											
			GND					A30	R13	AC14											
			GND					A28	P18	P10											
			GND					Y23	P12	N17											
			GND					Y21	N9	N11											
			GND					Y19	N5	M16											
			GND					Y17	N19	L9											
			GND					Y15	N15	L17											
			GND					Y13	N11	L11											
			GND					W8	M16	K14											
			GND					W5	M12	J9											
			GND					W22	L8	J11											
			GND					W20	L20	H2											
			GND					W2	L17	F6											
			GND					W18	L11	E20											
			GND					W16	H5	E11											
			GND					W14	H17	B2											
			GND					W11	G9	AC8											
			GND					V23	E20	AC17											
			GND					V21	E11	N13											
			GND					V19	B2	M18											
			GND					V15	AG8	M10											
			GND					V13	AG14	L2											
			GND					U22	AD20	L13											
			GND					U20	AD11	K16											
			GND					U18	AA20	K10											
			GND					U16	AA11	J13											
			GND					U14	U19	H20											
			GND					T8	U15	H11											
			GND					T5	U11	E5											
			GND					T23	T5	E14											
			GND					T21	T2	B20											
			GND					T2	T16	B11											
			GND					T19	T12	AC2											
			GND					T17	R9												
			GND					T15	R17												
			GND					T13	R11												
			GND					T11	P16												
			GND					R22	P10												
			GND					R20	N8												
			GND					R18	N2												
			GND					R16	N17												
			GND					R14	N13												
			GND					P8	M18												
			GND					P5	M14												
			GND					P25	M10												
			GND					P23	L5												
			GND					P21	L2												
			GND					P2	L14												
			GND					P19	H8												
			GND					P17	H2												
			GND					P15	H11												
			GND					P13	E23												
			GND					P11	E14												
			GND					N24	B20												
			GND					N22	B11												
			GND					N18	AG17												
			GND					N16	AD5												
			GND					N14	AD14												
			GND					N12	AA5												
			GND					L8	AA14												
			GND					L5	H20												
			GND					L26	H14												
			GND					L23	E5												
			GND					L20	E17												
			GND					L2	B5												
			GND					L17	B14												

Bank number	I/O Module (Note 1)	VREF	Pin Function	Optional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DQS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DQS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
			GND					L14	AG2												
			GND					K10	AD8												
			GND					J9	AD17												
			GND					H8	AA8												
			GND					H5	AA17												
			GND					H29	E8												
			GND					H26	E2												
			GND					H23	B8												
			GND					H20	B17												
			GND					H2	AG5												
			GND					H17	AG11												
			GND					H14	AD2												
			GND					H11	AB23												
			GND					E8	AA2												
			GND					E5													
			GND					E29													
			GND					E26													
			GND					E23													
			GND					E20													
			GND					E2													
			GND					E17													
			GND					E14													
			GND					E11													
			GND					B8													
			GND					B5													
			GND					B26													
			GND					B23													
			GND					B20													
			GND					B2													
			GND					B17													
			GND					B11													
			GND					AN5													
			GND					AN26													
			GND					AN20													
			GND					AN17													
			GND					AN11													
			GND					AK5													
			GND					AK26													
			GND					AK20													
			GND					AK17													
			GND					AK11													
			GND					AG5													
			GND					AG26													
			GND					AG20													
			GND					AG17													
			GND					AG11													
			GND					AE10													
			GND					AD5													
			GND					AD23													
			GND					AD2													
			GND					AD14													
			GND					AB21													
			GND					AB17													
			GND					AB13													
			GND					AA25													
			GND					AA2													
			GND					AA11													
			GND					B14													
			GND					AN8													
			GND					AN29													
			GND					AN23													
			GND					AN2													
			GND					AN14													
			GND					AK8													
			GND					AK29													
			GND					AK23													
			GND					AK2													
			GND					AK14													
			GND					AG8													
			GND					AG29													
			GND					AG23													
			GND					AG2													
			GND					AG14													
			GND					AF9													
			GND					AD8													
			GND					AD26													
			GND					AD20													
			GND					AD17													
			GND					AB23													
			GND					AB19													
			GND					AB15													
			GND					AA5													
			GND					AA20													
			GND					AA14													
			GND					AA8													
			GND					AA22													
			GND					AA16													
			GND					AA18													
			VCC					V16	P15	M13											
			VCC					Y24	W20	U12											
			VCC					Y22	W18	T9											
			VCC					Y20	W16	T17											
			VCC					Y18	W14	T15											
			VCC					Y16	V9	T13											
			VCC					Y14	V21	T11											
			VCC					W23	V19	R8											
			VCC					W21	V17	R16											
			VCC					W19	V15	R14											
			VCC					W17	V13	R12											
			VCC					W15	V11	R10											
			VCC					W13	U20	P9											
			VCC					V24	U18	P17											
			VCC					V22	U16	P15											
			VCC					V20	U14	P13											
			VCC					V18	U12	P11											
			VCC					V14	U10	N8											
			VCC					U21	T9	N18											
			VCC					U19	T19	N16											
			VCC					U15	T17	N14											
			VCC					U13	T15	N10											
			VCC					T24	T13	M9											
			VCC					T22	T11	M15											
			VCC					T20	R18	M11											
			VCC					T18	R16	L8											
			VCC					T16	R14	L16											
			VCC					T14	R12	L14											
			VCC					R23	R10	L12											
			VCC					R21	P9	L10											

Bank number	I/O Module (Note 1)	VREF	Pin Function	Optional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DOS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DOS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DOS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
			VCC					R19	P19	K9											
			VCC					R17	P17	K17											
			VCC					R15	P13	K15											
			VCC					R13	P11	K13											
			VCC					P24	N20	K11											
			VCC					P22	N18	J8											
			VCC					P20	N16	J18											
			VCC					P18	N14	J16											
			VCC					P16	N12	J14											
			VCC					P14	N10	J12											
			VCC					P12	M9	J10											
			VCC					N23	M20	H15											
			VCC					N21	M19												
			VCC					N17	M17												
			VCC					N15	M15												
			VCC					N13	M13												
			VCC					AC23	M11												
			VCC					AB24	L18												
			VCC					AB22	L16												
			VCC					AB20	L13												
			VCC					AB18	L12												
			VCC					AB16	L10												
			VCC					AB14	K17												
			VCC					AB12													
			VCC					AA23													
			VCC					AA21													
			VCC					AA19													
			VCC					AA17													
			VCC					AA15													
			VCC					AA13													
			DNU					K25	H23	G18											
			DNU					V17	R15	N12											
			DNU					C4	F6	D5											
			VCCBAT					L27	J24	F19											
			VCCA_PLL_1					H25	G20	F17											
			VCCA_PLL_2					J10	H9	E6											
			VCCA_PLL_3					AF10	Y8	Y6											
			VCCA_PLL_4					AG25	AB20	W17											
			VCCA_PLL_5					T9	P8	L6											
			VCCA_PLL_6					W9	R7	P6											
			VCCD_PLL_1					J26	H21	E18											
			VCCD_PLL_2					K9	G8	F5											
			VCCD_PLL_3					AE9	AA7	W5											
			VCCD_PLL_4					AF26	AA21	Y18											
			VCCD_PLL_5					U8	P7	M5											
			VCCD_PLL_6					V8	R8	N5											
			VCCIO3A					AM20	AG16	AC16											
			VCCIO3A					AK24	AD19	AA17											
			VCCIO3A					AJ20	AD16												
			VCCIO3A					AH22													
			VCCIO3C					AD25	AC20	V19											
			VCCIO4A					AM14	AG7	Y10											
			VCCIO4A					AM11	AG13	AC7											
			VCCIO4A					AL17	AG10	AC10											
			VCCIO4A					AJ17	AD13												
			VCCIO4A					AJ14	AD10												
			VCCIO4B					AH11													
			VCCIO5A					AG3	Y2	V2											
			VCCIO5A					AD3	U2	R2											
			VCCIO5A					AA6	R2	AA2											
			VCCIO5A					AA3	AE2												
			VCCIO6A					T6	K2	M2											
			VCCIO6A					T3	G2	J2											
			VCCIO6A					P3	D2	F2											
			VCCIO6A					L3													
			VCCIO7A					F14	B7	C8											
			VCCIO7A					F11	B4	C5											
			VCCIO7A					C14	B13												
			VCCIO7A					C11	B10												
			VCCIO7B					D8													
			VCCIO8A					F22	F18	D16											
			VCCIO8A					F20	E16	C17											
			VCCIO8A					C23	C20	C14											
			VCCIO8A					C20	B18												
			VCCIO8A					C17													
			VCCIO8C					K26	G23	E19											
			VCCPD3A					AC20	AB18	U15											
			VCCPD3A					AC19	AA18												
			VCCPD3C					AC24	Y21	V17											
			VCCPD4A					AD16	AA13	U10											
			VCCPD4A					AC16	AA12												
			VCCPD4B					AC13													
			VCCPD5A					Y12	U8	T8											
			VCCPD5A					AA12	U7	T7											
			VCCPD6A					T12	M8	K7											
			VCCPD6A					R12	M7	K6											
			VCCPD7A					M15	J13	H10											
			VCCPD7A					M14	H13												
			VCCPD7B					L12													
			VCCPD8A					M19	H16	H13											
			VCCPD8A					L19	G16												
			VCCPD8C					M24	G21	H18											
3A		VREFB3AN0	VREFB3AN0	VREFB3AN0				AE20	Y17	T16											
4A		VREFB4AN0	VREFB4AN0	VREFB4AN0				AD15	AB12	V10											
4B		VREFB4BN0	VREFB4BN0	VREFB4BN0				AD13													
5A		VREFB5AN0	VREFB5AN0	VREFB5AN0				AB11	W7	U7											
6A		VREFB6AN0	VREFB6AN0	VREFB6AN0				N11	L9	J7											
7A		VREFB7AN0	VREFB7AN0	VREFB7AN0				L15	H12	H12											
7B		VREFB7BN0	VREFB7BN0	VREFB7BN0				K13													
8A		VREFB8AN0	VREFB8AN0	VREFB8AN0				K19	H18	G15											
			NC					AL30	AF21	AD22											
			NC					AM30	AF22	AC22											
			NC					AG30													
			NC					H22													
			NC					AD21													
			NC					J23													
			NC					E27													
			NC					AH30													
			NC					K28													
			NC					AE21													
			NC					F27													
			NC					AJ26													
			NC					L28													
			NC					AJ30													
			NC					K22													
			NC					AK27													
			NC					G27													
			NC					AK30													

Bank number	I/O Module (Note 1)	VREF	Pin Function	Ootional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DOS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DOS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DOS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
			NC					G8													
			NC					L22													
			NC					AK28													
			NC					G28													
			NC					AE23													
			NC					G26													
			NC					AL28													
			NC					J28													
			NC					AF23													
			NC					H27													
			NC					AH27													
			NC					J27													
			NC					AJ28													
			NC					H6													
			NC					J22													
			NC					AJ27													
			NC					L6													
			NC					G24													
			NC					AJ29													
			NC					K23													
			NC					AM1													
			NC					G25													
			NC					AF11													
			NC					F8													
			NC					AN1													
			NC					G10													
			NC					AG10													
			NC					AH8													
			NC					F9													
			NC					AL4													
			NC					AJ5													
			NC					H10													
			NC					AL3													
			NC					L9													
			NC					AM3													
			NC					D7													
			NC					AM2													
			NC					L10													
			NC					AG9													
			NC					E7													
			NC					AD12													
			NC					AJ8													
			NC					AE6													
			NC					G9													
			NC					AH10													
			NC					AC9													
			NC					F7													
			NC					AE11													
			NC					AE5													
			NC					H9													
			NC					AH9													
			NC					AC8													
			NC					G7													
			NC					AL5													
			NC					AG4													
			NC					K11													
			NC					AJ9													
			NC					AF6													
			NC					E6													
			NC					AM4													
			NC					AH4													
			NC					L11													
			NC					AF28													
			NC					AF5													
			NC					F6													
			NC					AE24													
			NC					AF21													
			NC					AH3													
			NC					M23													
			NC					AG28													
			NC					AF22													
			NC					AC11													
			NC					D30													
			NC					AF24													
			NC					AJ22													
			NC					F29													
			NC					AE26													
			NC					AC10													
			NC					E30													
			NC					AH28													
			NC					AJ4													
			NC					G29													
			NC					AE27													
			NC					AJ1													
			NC					H24													
			NC					AH29													
			NC					AJ3													
			NC					E28													
			NC					AE28													
			NC					AK1													
			NC					J25													
			NC					AC22													
			NC					J8													
			NC					F28													
			NC					AF27													
			NC					K8													
			NC					H30													
			NC					AD22													
			NC					W24													
			NC					H7													
			NC					F30													
			NC					AF25													
			NC					L7													
			NC					J30													
			NC					AG27													
			NC					D6													
			NC					G30													
			NC					AG24													
			NC					G6													
			NC					J24													
			NC					AH26													
			NC					W27													
			NC					C6													
			NC					H28													
			NC					AE22													
			NC					Y26													
			NC					F5													
			NC					K24													

Bank number	I/O Module (Note 1)	VREF	Pin Function	Ootional Function	Configuration Function	Dedicated Tx/Rx Channel with OCT Rd	Emulated LVDS Output Channel/ Dedicated LVDS Input Channel with no OCT Rd (Note 2)	F1152	F780	F572	DOS for X4 for F1152	DQS for X8/X9 for F1152 (Note 3)	DQS for X16/X18 for F1152 (Note 3)	DQS for X32/X36 for F1152 (Note 3)	DOS for X4 for F780	DQS for X8/X9 for F780 (Note 3)	DQS for X16/X18 for F780(Note 3)	DQS for X32/X36 for F780 (Note 3)	DOS for X4 for F572	DQS for X8/X9 for F572 (Note 3)	DQS for X16/X18 for F572 (Note 3)
			NC					Y28													
			NC					D5													
			NC					J29													
			NC					M8													
			NC					C5													
			NC					M7													
			NC					G5													
			NC					J7													
			NC					G4													
			NC					J6													
			NC					M12													
			NC					K7													
			NC					M10													
			NC					K6													
			NC					M9													
			NC					E4													
			NC					D4													
			NC					E3													
			NC					D3													
			NC					F4													
			NC					N8													
			NC					F3													
			NC					N7													
			NC					H4													
			NC					M6													
			NC					G3													
			NC					M5													
			NC					AL2													
			NC					AE8													
			NC					AL1													
			NC					AE7													
			NC					AG7													
			NC					AH6													
			NC					AG6													
			NC					AH5													
			NC					AK4													
			NC					AD10													
			NC					AK3													
			NC					AD9													
			NC					AF8													
			NC					AH7													
			NC					AF7													
			NC					AJ6													
			NC					AD11													
			NC					M22													
			NC					M11													
			NC					AC12													
			NC					AC21													
			NC					N29													
			NC					N30													
			NC					L29													
			NC					L30													
			NC					C33													
			NC					C34													
			NC					B31													
			NC					B32													
			NC					E33													
			NC					E34													
			NC					D31													
			NC					D32													
			NC					G33													
			NC					G34													
			NC					F31													
			NC					F32													
			NC					J33													
			NC					J34													
			NC					H31													
			NC					H32													
			VCCL_GXB					W25	R22	M19											
			VCCL_GXB					V28	P23	L20											
			VCCL_GXB					V26	P21	K19											
			VCCL_GXB					U27	N24	R20											
			VCCL_GXB					U25	N22	P19											
			VCCL_GXB					T28	M23	N20											
			VCCL_GXB					T26	T23												
			VCCL_GXB					R27	T21												
			VCCL_GXB					R25	R24												
			VCCCB					U23	Y15	U13											
			VCCCB					U12	N7	M6											
			VCCCB					L18	J15	G12											
			VCCCB					AD18	P20	M17											
			RREF0					AP31	AH21	AC24											
			RREF1					A29	A22												
			VCCA					U24	R20	P18											
			VCCA					R24	M21	L18											
			VCCA					AA24	U21												
			VCCH_GXB					P27	U23	R18											
			VCCH_GXB					N28	U22	K18											
			VCCH_GXB					AB28	M22												
			VCCH_GXB					AA27	L22												

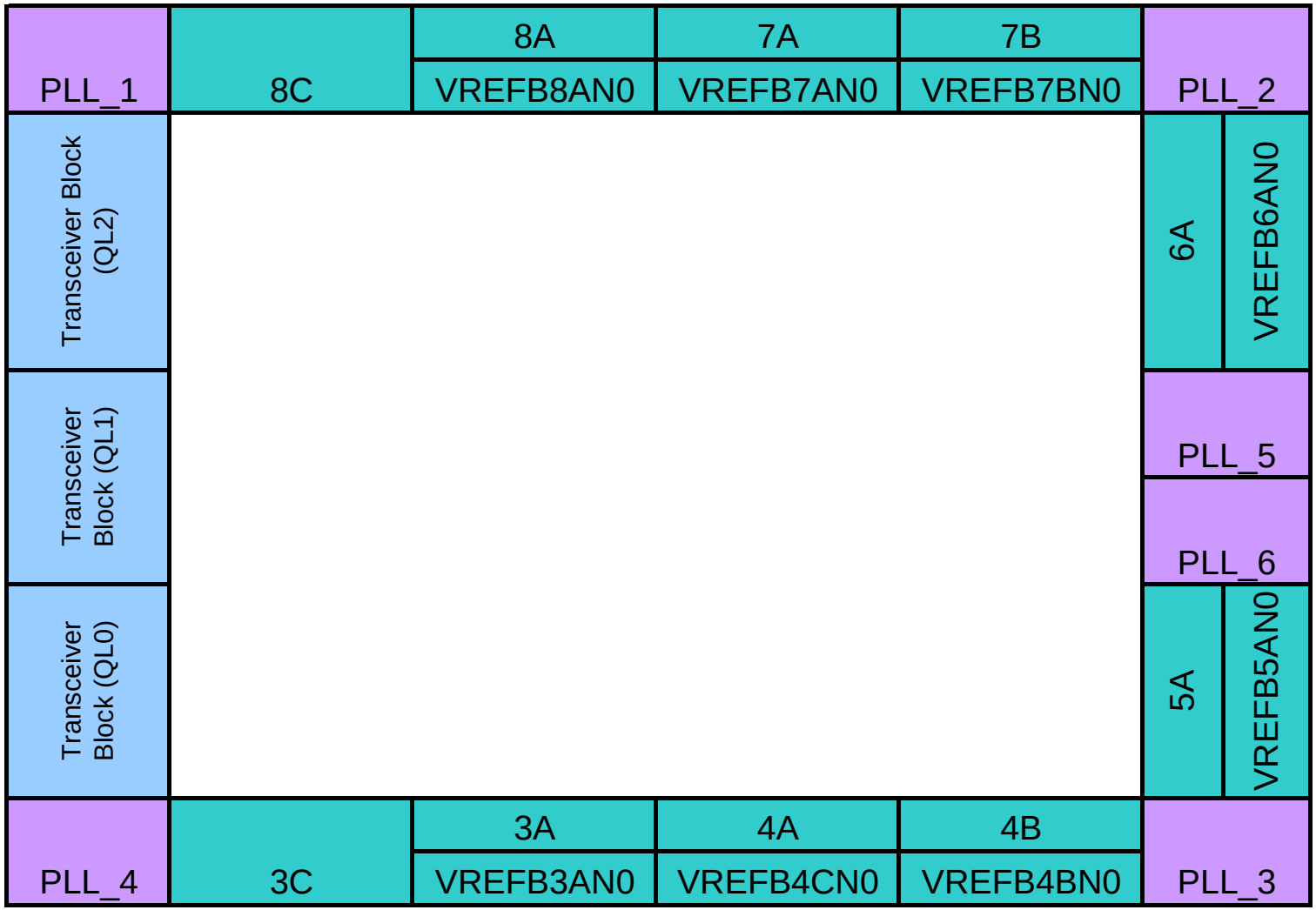
Notes:
(1) An I/O module is a group of 16 I/O pins.
(2) When not used as DIFFIN or DIFFIO_TX, all pins marked with * (DIFFIN_[###]p/n) can be configured as emulated LVDS output channels (DIFFOUT).
Only DIFFIN pins of the same index group (e.g DIFFIN_B1p and DIFFIN_B1n) can be used to form an emulated LVDS output channel.
(3) When not used as clocks, the CQn and DQSn pins can be used as DQ pins.

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
Clock and PLL Pins		
CLK[4:15]	Clock, Input	Single ended clock input pin.
DIFFCLK[0:5]p	Clock, Input	Clock input pin for differential clock input. OCT Rd is not supported.
DIFFCLK[0:5]n	Clock, Input	Negative clock input for differential clock input. OCT Rd is not supported
PLL_[1:4]_CLKOUT1p	I/O, Clock	PLL[1:4]_CLKOUT1 (except PLL1 and PLL3 in EP2AGX125 and EP2AGX260) supports 2 clock I/O pins, configured either as one single ended I/O or one differential I/O pair. PLL1 and PLL3 in EP2AGX125 and EP2AGX260 support 6 clock I/O pins, configured either as 3 single ended I/Os or 3 differential I/O pairs.
PLL_[1:4]_CLKOUT1n	I/O, Clock	
PLL_[1,3]_CLKOUT[2:3]p (Note 4)	I/O, Clock	PLL1 and PLL3 in EP2AGX125 and EP2AGX260 support 6 clock I/O pins, configured either as 3 single ended I/Os or 3 differential I/O pairs.
PLL_[1,3]_CLKOUT[2:3]n (Note 4)	I/O, Clock	
Dedicated Configuration/JTAG Pins		
nIO_PULLUP	Input	Dedicated input that chooses whether the internal pull-ups on the user I/O pins and dual-purpose I/O pins (nCSO, ASDO, DATA[7:0], CLKUSR, INIT_DONE, DEV_OE, DEV_CLRn) are on or off before and during configuration. A logic high (1.5V, 1.8V, 2.5V, 3.0V or 3.3V) turns off the weak pull-up, while a logic low turns them on.
MSEL[0:3]	Input	Configuration input pins that set the FPGA device configuration scheme.
nCE	Input	Dedicated active-low chip enable. When nCE is low, the device is enabled. When nCE is high, the device is disabled.
nCONFIG	Input	Dedicated configuration control input. Pulling this pin low during user-mode will cause the FPGA to lose its configuration data, enter a reset state, and tri-state all I/O pins. Returning this pin to a logic high level will initiate reconfiguration.
CONF_DONE	Bidirectional (open-drain)	This is a dedicated configuration done pin. As a status output, the CONF_DONE pin drives low before and during configuration. Once all configuration data is received without error and the initialization cycle starts, CONF_DONE is released. As a status input, CONF_DONE goes high after all data is received. Then the device initializes and enters user mode. It is not available as a user I/O pin.
nCEO	I/O, Output (open-drain)	Output that drives low when device configuration is complete. This pin can be used as a regular I/O if not used for device configuration.
nSTATUS	Bidirectional (open-drain)	This is a dedicated configuration status pin. The FPGA drives nSTATUS low immediately after power-up and releases it after POR time. As a status output, the nSTATUS is pulled low if an error occurs during configuration. As a status input, the device enters an error state when nSTATUS is driven low by an external source during configuration or initialization. It is not available as an user I/O pin.
TCK	Input	Dedicated JTAG test clock input pin.
TMS	Input	Dedicated JTAG test mode select input pin.
TDI	Input	Dedicated JTAG test data input pin.
TDO	Output	Dedicated JTAG test data output pin.
Optional/Dual-Purpose Configuration Pins		
nCSO	Output	Dedicated output control signal from the FPGA to the serial configuration device in AS mode that enables the configuration device.
ASDO	Output	Control signal from the FPGA to the serial configuration device in AS mode used to read out configuration data.
DCLK	I/O (PS, FPP) Output (AS)	Dedicated configuration clock pin. In PS and FPP configuration, DCLK is used to clock configuration data from an external source into the FPGA. In AS mode, DCLK is an output from the FPGA that provides timing for the configuration interface.
CRC_ERROR	I/O, Output (open-drain)	Active high signal that indicates that the error detection circuit has detected errors in the configuration SRAM bits. This pin is optional and is used when the CRC error detection circuit is enabled. This pin can be used as regular I/O if not used for CRC error detection.
DEV_CLRn	I/O, Input	Optional pin that allows designers to override all clears on all device registers. When this pin is driven low, all registers are cleared; when this pin is driven high, all registers behave as programmed.
DEV_OE	I/O, Input	Optional pin that allows designers to override all tri-states on the device. When this pin is driven low, all I/O pins are tri-stated; when this pin is driven high, all I/O pins behave as defined in the design.
DATA0	Input	DATA[0] is a dedicated pin that is used for both the passive and active configuration modes
DATA[1:7]	I/O, Input	Dual-purpose configuration input data pins. The DATA[0:7] pins can be used for byte-wide configuration. DATA[1:7] pins can also be used as user I/O pins after configuration, but not DATA0.
INIT_DONE	I/O, Output (open-drain)	This is a dual-purpose pin and can be used as an I/O pin when not enabled as INIT_DONE. When enabled, a transition from low to high at the pin indicates when the device has entered user mode. If the INIT_DONE output is enabled, the INIT_DONE pin cannot be used as a user I/O pin after configuration.
CLKUSR	I/O, Input	Optional user-supplied clock input. Synchronizes the initialization of one or more devices. If this pin is not enabled for use as a user-supplied configuration clock, it can be used as a user I/O pin.
Differential I/O Pins		
DIFFIO_RX_[T,B,R][##]p, DIFFIO_RX_[T,B,R][##]n	I/O, RX channel	These are true LVDS receiver channels with OCT Rd support. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX_[T,B,R][##]p, DIFFIO_TX_[T,B,R][##]n	I/O, TX channel	These are true LVDS transmitter channels. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used as true LVDS transmitter channels, these pins can be configured as true LVDS receiver channels without OCT Rd support (DIFFIN_[T,B,R][##][p,n]). If not used for differential signaling, these pins are available as user I/O pins.
DIFFIN_[T,B,R][##]p, DIFFIN_[T,B,R][##]n	I/O, RX channel	These are true LVDS receiver channels without OCT Rd support. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used as true LVDS receiver channels without OCT Rd support, these pins can be configured as true LVDS transmitter channels (DIFFIO_TX_[T,B,R][##][p,n]). If not used for differential signaling, these pins are available as user I/O pin.
DIFFOUT_[##]p, DIFFOUT_[##]n	I/O, TX channel	These are emulated LVDS output channels. On I/O banks, there are true LVDS input buffers but no true LVDS output buffers. However, all column user I/Os, including I/Os with true LVDS input buffers, (DIFFIO_RX_[T,B,R][##][p,n] , DIFFIN_[T,B,R][##][p,n]) can be configured as emulated LVDS output buffers. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
External Memory Interface Pins		

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
DQS[##][T,B,R]	I/O, DQS	Optional data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase shift circuitry. The shifted DQS signal can also drive to internal logic.
DQSn[##][T,B,R] (Note 5)	I/O, DQSn	Optional complementary data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase shift circuitry.
DQ[##][T,B,R]	I/O, DQ	Optional data signal for use in external memory interfacing. The order of the DQ bits within a designated DQ bus is not important; however, use caution when making pin assignments if you plan on migrating to a different memory interface that has a different DQ bus width. Analyze the available DQ pins across all pertinent DQS columns in the pin list.
CQ[##][T,B,R]	DQS	Optional data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.
CQn[##][T,B,R] (Note 5)	DQS	Optional complementary data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.
Reference Pins		
RUP[0:2]	I/O, Input	Reference pins for I/O banks. The RUP pins share the same VCCIO with the I/O bank where they are located. The external precision resistor RUP must be connected to the designated RUP pin within the bank. If not required, this pin is a regular I/O pin.
RDN[0:2]	I/O, Input	Reference pins for I/O banks. The RDN pins share the same GND with the I/O bank where they are located. The external precision resistor RDN must be connected to the designated RDN pin within the bank. If not required, this pin is a regular I/O pin.
DNU	Do Not Use	Do Not Use (DNU).
NC	No Connect	Do not drive signals into these pins.
Supply Pins		
VCC	Power	VCC supplies power to the core and periphery.
VCCD_PLL_[1:6]	Power	Digital power for PLL[1:6]. All of these pins must be connected even if the PLL is not used
VCCCB	Power	Configuration RAM bits power supply.
VCCA_PLL_[1:6]	Power	Analog power for PLL [1:6]. All of these pins must be connected even if the PLL is not used
VCCIO[3:8][A,B]	Power	These are I/O supply voltage pins for banks 3 through 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all LVDS, LVCMOS(1.2V, 1.5V, 1.8V, 2.5V, 3.0V,3.3V), HSTL(12,15,18),SSTL(15,18,2),3.0V PCI/PCI-X I/O as well as LVTTL (1.8V, 2.5V, 3.0V, 3.3V) I/O standards. VCCIO also supplies power to the input buffers used for LVCMOS(1.2V, 1.5V, 1.8V, 2.5V, 3.0V, 3.3V), 3.0V PCI/PCI-X and LVTTL (1.8V, 2.5V, 3.0V, 3.3V) I/O standards.
VCCIO[3,8]C	Power	These are configuration and JTAG supply voltage pins for banks 3C and 8C. Each bank can support a different voltage level. For AS/PP/FPP configuration schemes, VCCIO8C supports 1.8V, 2.5V, 3.0V or 3.3V. JTAG can support 1.5V, 1.8V, 2.5V, 3.0V or 3.3V.
VCCPD[3:8][A,B], VCCPD[3,8]C	Power	Dedicated power pins. This supply is used to power the I/O pre-drivers and the input buffers for HSTL/SSTL input buffers. This can be connected to 3.3V, 3.0V or 2.5V. For 3.3V I/O standard connect VCCPD to 3.3V, for 3.0V I/O standard connect VCCPD to 3.0V and for 2.5V/1.8V/1.2V I/O standards connect VCCPD to 2.5V
VCCBAT	Power	Battery back-up power supply for design security volatile key register.
GND	Ground	Device ground pins.
VREF[3:8][A,B]N0	Power	Input reference voltage for each I/O bank. If a bank uses a voltage-referenced I/O standard, then these pins are used as the voltage-reference pins for the bank. These pins cannot be used as regular I/Os.
Transceiver Pins		
VCCL_GXB	Power	Supplies power to the transceiver PMA TX, PMA RX and clocking.
VCCH_GXB	Power	Supplies power to the transceiver PMA output (TX) buffer.
VCCA	Power	Supplies power to the transceiver PMA regulator.
GXB_RX[0:15]p (Note 6)	Input	High speed positive differential receiver channels.
GXB_RX[0:15]n (Note 6)	Input	High speed negative differential receiver channels.
GXB_TX[0:15]p (Note 6)	Output	High speed positive differential transmitter channels.
GXB_TX[0:15]n (Note 6)	Output	High speed negative differential transmitter channels.
REFCLK[0:7]p	Input	High speed differential reference clock positive.
REFCLK[0:7]n	Input	High speed differential reference clock complement.
RREF[0:1]	Input	Reference resistor for transceiver.

Notes:

1. Refer to the Arria II GX Device Datasheet and Pin Connection Guidelines for the recommended operating conditions.
2. This pin definition is prepared based on the EP2AGX260.
3. Some of the pull-up /pull down resisitors mentioned in the table above may not be required, depending on the exact device configuration scheme.
   The ability to NC or short them may be valuable during the debug phase, should you be required to use a different configuration scheme.
   Refer to the Configuring Arria II GX Devices chapter in the Arria II GX Device Handbook for more information.
4. PLL[1,3]_CLKOUT[2..3][p,n] are only available in PLL1 and PLL3 in EP2AGX125 and EP2AGX260.
5. When not used as clocks, the CQn and DQSn pins can be used as DQ pin.
6. Transceiver signals GXB_RX[15..0] and GXB_TX[15..0] are device specific.



This is a top view of the silicon die that corresponds to a reverse view for flip chip packages. It is a graphical representation only.

Version Number	Date	Changes Made
1.0	2/27/2009	Initial release.
1.1	5/29/2009	Added DNU in Pin List and Pin Definitions.
1.2	10/10/2013	Added PLL_5 and PLL_6 in Bank & PLL Diagram.